

# PCB 设计基本概念

## 1、“层(Layer)”的概念

与字处理或其它许多软件中为实现图、文、色彩等的嵌套与合成而引入的“层”的概念有所不同，Protel 的“层”不是虚拟的，而是印刷板材料本身实实在在的各铜箔层。现今，由于电子线路的元件密集安装。防干扰和布线等特殊要求，一些较新的电子产品中所用的印刷板不仅有上下两面供走线，在板的中间还设有能被特殊加工的夹层铜箔，例如，现在的计算机主板所用的印板材料多在 4 层以上。这些层因加工相对较难而大多用于设置走线较为简单的电源布线层（如软件中的 Ground Dever 和 Power Dever），并常用大面积填充的办法来布线（如软件中的 External Plalle 和 Fill）。上下位置的表面层与中间各层需要连通的地方用软件中提到的所谓“过孔（Via）”来沟通。有了以上解释，就不难理解“多层焊盘”和“布线层设置”的有关概念了。举个简单的例子，不少人布线完成，到打印出来时才发现很多连线的终端都没有焊盘，其实这是自己添加器件库时忽略了“层”的概念，没把自己绘制封装的焊盘特性定义为“多层（Mulii — Layer）”的缘故。要提醒的是，一旦选定了所用印板的层数，务必关闭那些未被使用的层，免得惹事生非走弯路。

## 2、过孔(Via)

为连通各层之间的线路，在各层需要连通的导线的文汇处钻上一个公共孔，这就是过孔。工艺上在过孔的孔壁圆柱面上用化学沉积的方法镀上一层金属，用以连通中间各层需要连通的铜箔，而过孔的上下两面做成普通的焊盘形状，可直接与上下两面的线路相通，也可不连。一般而言，设计线路时对过孔的处理有以下原则：（1）尽量少用过

孔，一旦选用了过孔，务必处理好它与周边各实体的间隙，特别是容易被忽视的中间各层与过孔不相连的线与过孔的间隙，如果是自动布线，可在“过孔数量最小化”（Via Minimiz8tion）子菜单里选择“on”项来自动解决。（2）需要的载流量越大，所需的过孔尺寸越大，如电源层和地层与其它层联接所用的过孔就要大一些。

## 3、丝印层(Overlay)

为方便电路的安装和维修等，在印刷板的上下两表面印刷上所需要的标志图案和文字代号等，例如元件标号和标称值、元件外廓形状和厂家标志、生产日期等等。不少初学者设计丝印层的有关内容时，只注意文字符号放置得整齐美观，忽略了实际制出的 PCB 效果。他们设计的印板上，字符不是被元件挡住就是侵入了助焊区域被抹除，还有的把元件标号打在相邻元件上，如此种种的设计都将会给装配和维修带来很大不便。正确的丝印层字符布置原则是：“不出歧义，见缝插针，美观大方”。

## 4、SMD 的特殊性

Protel 封装库内有大量 SMD 封装，即表面焊装器件。这类器件除体积小巧之外的最大特点是单面分布元引脚孔。因此，选用这类器件要定义好器件所在面，以免“丢失引脚（Missing Plns）”。另外，这类元件的有关文字标注只能随元件所在面放置。

## 5、网格状填充区(External Plane)和填充区(Fill)

正如两者的名字那样，网络状填充区是把大面积的铜箔处理成网状的，填充区仅是完整保留铜箔。初学者设计过程中在计算机上往往看不到二者的区别，实质上，只要你把图面放大后就一目了然了。正是由于平常不容易看出二者的区别，所以使用时更不注意对二者的区分，要强调的是，前者在电路特性上有较强的抑制高频干扰的作用，适用于需做大面积填充的地方，特别是把某些区域当做屏蔽区、分割区或大电流的电源线时尤为合适。后者多用于一般的线端部或转折区等需要小面积填充的地方。

## 6、焊盘(Pad)

焊盘是 PCB 设计中最常接触也是最重要的概念，但初学者却容易忽视它的选择和修正，在设计中千篇一律地使用圆形焊盘。选择元件的焊盘类型要综合考虑该元件的形状、大小、布置形式、振动和受热情况、受力方向等因素。Protel 在封装库中给出了一系列不同大小和形状的焊盘，如圆、方、八角、圆方和定位用焊盘等，但有时这还不够用，需要自己编辑。例如，对发热且受力较大、电流较大的焊盘，可自行设计成“泪滴状”，在大家熟悉的彩电 PCB 的行输出变压器引脚焊盘的设计中，不少厂家正是采用的这种形式。一般而言，自行编辑焊盘时除了以上所讲的以外，还要考虑以下原则：

(1) 形状上长短不一致时要考虑连线宽度与焊盘特定边长的大小差异不能过大；

(2) 需要在元件引角之间走线时选用长短不对称的焊盘往往事半功倍；

(3) 各元件焊盘孔的大小要按元件引脚粗细分别编辑确定，原则是孔的尺寸比引脚直径大 0.2~0.4 毫米。

## 7、各类膜 (Mask)

这些膜不仅是 PCB 制作工艺过程中必不可少的，而且更是元件焊装的必要条件。按“膜”所处的位置及其作用，“膜”可分为元件面（或焊接面）助焊膜 (Top or Bottom 和元件面（或焊接面）阻焊膜 (Top or Bottom Paste Mask) 两类。顾名思义，助焊膜是涂于焊盘上，提高可焊性的一层膜，也就是在绿色板子上比焊盘略大的各浅色圆斑。阻焊膜的情况正好相反，为了使制成的板子适应波峰焊等焊接形式，要求板子上非焊盘处的铜箔不能粘锡，因此在焊盘以外的各部位都要涂覆一层涂料，用于阻止这些部位上锡。可见，这两种膜是一种互补关系。由此讨论，就不难确定菜单中类似“solder Mask Enlargement”等项目的设置了。

## 8、飞线，飞线有两重含义：

(1) 自动布线时供观察用的类似橡皮筋的网络连线，在通过网络表调入元件并做了初步布局后，用“Show 命令就可以看到该布局下的网络连线的交叉状况，不断调整元件的位置使这种交叉最少，以获得最大的自动布线的布通率。这一步很重要，可以说是磨刀不误砍柴功，多花些时间，值！另外，自动布线结束，还有哪些网络尚未布通，也可通过该功能来查找。找出未布通网络之后，可用手工补偿，实在补偿不了就要用到“飞线”的第二层含义，就是在将来的印板上用导线连通这些网络。要交待的是，如果该电路板是大批量自动线生产，可将这种飞线视为 0 欧阻值、具有统一焊盘间距的电阻元件来进行设计。

# PCB 布线技巧

在 PCB 设计中，布线是完成产品设计的重要步骤，可以说前面的准备工作都是为它而做的，在整个 PCB 中，以布线的设计过程限定最高，技巧最细、工作量最大。PCB 布线有单面布线、双面布线及多层布线。布线的方式也有两种：自动布线及交互式布线，在自动布线之前，可以用交互式预先对要求比较严格的线进行布线，输入端与输出端的边线应避免相邻平行，以免产生反射干扰。必要时应加地线隔离，两相邻层的布线要互相垂直，平行容易产生寄生耦合。

自动布线的布通率，依赖于良好的布局，布线规则可以预先设定，包括走线的弯曲次数、导通孔的数目、步进的数目等。一般先进行探索式布线线，快速地把短线连通，然后进行迷宫式布线，先把要布的连线进行全局的布线路径优化，它可以根据需要断开已布的线。并试着重新再布线，以改进总体效果。

对目前高密度的 PCB 设计已感觉到贯通孔不太适应了，它浪费了许多宝贵的布线通道，为解决这一矛盾，出现了盲孔和埋孔技术，它不仅完成了导通孔的作用，还省出许多布线通道使布线过程完成得更加方便，更加流畅，更为完善，PCB 板的设计过程是一个复杂而又简单的过程，要想很好地掌握它，还需广大电子工程设计人员去自己体会，才能得到其中的真谛。

### 1 电源、地线的处理

既使在整个 PCB 板中的布线完成得都很好，但由于电源、地线的考虑不周到而引起的干扰，会使产品的性能下降，有时甚至影响到产品的成功率。所以对电、地线的布线要认真对待，把电、地线所产生的噪音干扰降到最低限度，以保证产品的质量。

对每个从事电子产品设计的工程人员来说都明白地线与电源线之间噪音所产生的原因，现只对降低式抑制噪音作以表述：

众所周知的是在电源、地线之间加上去耦电容。

尽量加宽电源、地线宽度，最好是地线比电源线宽，它们的关系是：地线 > 电源线 > 信号线，通常信号线宽为：0.2~0.3mm，最细宽度可达 0.05~0.07mm，电源线为 1.2~2.5 mm 对数字电路的 PCB 可用宽的地导线组成一个回路，即构成一个地网来使用（模拟电路的地不能这样使用）用大

面积铜层作地线用,在印制板上把没被用上的地方都与地相连接作为地线用。或是做成多层板,电源,地线各占用一层。

## 2 数字电路与模拟电路的共地处理

现在有许多 PCB 不再是单一功能电路(数字或模拟电路),而是由数字电路和模拟电路混合构成的。因此在布线时就需要考虑它们之间互相干扰问题,特别是地线上的噪音干扰。

数字电路的频率高,模拟电路的敏感度强,对信号线来说,高频的信号线尽可能远离敏感的模拟电路器件,对地线来说,整人 PCB 对外界只有一个结点,所以必须在 PCB 内部进行处理数、模共地的问题,而在板内部数字地和模拟地实际上是分开的它们之间互不相连,只是在 PCB 与外界连接的接口处(如插头等)。数字地与模拟地有一点短接,请注意,只有一个连接点。也有在 PCB 上不共地的,这由系统设计来决定。

## 3 信号线布在电(地)层上

在多层印制板布线时,由于在信号线层没有布完的线剩下已经不多,再加层数就会造成浪费也会给生产增加一定的工作量,成本也相应增加了,为解决这个矛盾,可以考虑在电(地)层上进行布线。首先应考虑用电源层,其次才是地层。因为最好是保留地层的完整性。

## 4 大面积导体中连接腿的处理

在大面积的接地(电)中,常用元器件的腿与其连接,对连接腿的处理需要进行综合的考虑,就电气性能而言,元件腿的焊盘与铜面满接为好,但对元件的焊接装配就存在一些不良隐患如:①焊接需要大功率加热器。②容易造成虚焊点。所以兼顾电气性能与工艺需要,做成十字花焊盘,称之为热隔离(heat shield)俗称热焊盘(Thermal),这样,可使在焊接时因截面过分散热而产生虚焊点的可能性大大减少。多层板的接电(地)层腿的处理相同。

## 5 布线中网络系统的作用

在许多 CAD 系统中,布线是依据网络系统决定的。网格过密,通路虽然有所增加,但步进太小,图场的数据量过大,这必然对设备的存贮空间有更高的要求,同时也对对象计算机类电子产品的运算速度有极大的影响。而有些通路是无效的,如被元件腿的焊盘占用的或被安装孔、定们孔所占用的等。网格过疏,通路太少对布通率的影响极大。所以要有一个疏密合理的网格系统来支持布线的进行。

标准元器件两腿之间的距离为 0.1 英寸(2.54mm),所以网格系统的基础一般就定为 0.1 英寸(2.54 mm)或小于 0.1 英寸的整倍数,如:0.05 英寸、0.025 英寸、0.02 英寸等。

## 6 设计规则检查(DRC)

布线设计完成后,需认真检查布线设计是否符合设计者所制定的规则,同时也需确认所制定的规则是否符合印制板生产工艺的需求,一般检查有如下几个方面:

线与线,线与元件焊盘,线与贯通孔,元件焊盘与贯通孔,贯通孔与贯通孔之间的距离是否合理,是否满足生产要求。

电源线和地线的宽度是否合适,电源与地线之间是否紧耦合(低的波阻抗)?在 PCB 中是否还有能让地线加宽的地方。

对于关键的信号线是否采取了最佳措施,如长度最短,加保护线,输入线及输出线被明显地分开。

模拟电路和数字电路部分,是否有各自独立的地线。

对一些不理想的线形进行修改。

在 PCB 上是否加有工艺线?阻焊是否符合生产工艺的要求,阻焊尺寸是否合适,字符标志是否压在器件焊盘上,以免影响电装质量。

多层板中的电源地层的外框边缘是否缩小,如电源地层的铜箔露出板外容易造成短路。

# PCB 布线技巧

在 PCB 设计中,布线是完成产品设计的重要步骤,可以说前面的准备工作都是为它而做的,在整个 PCB 中,以布线的设计过程限定最高,技巧最细、工作量最大。PCB 布线有单面布线、双面布线及多层布线。布线的方式也有两种:自动布线及交互式布线,在自动布线之前,可以用交互式预先对要求比较严格的线进行布线,输入端与输出端的边线应避免相邻平行,以免产生反射干扰。必要时应加地线隔离,两相邻层的布线要互相垂直,平行容易产生寄生耦合。

自动布线的布通率,依赖于良好的布局,布线规则可以预先设定,包括走线的弯曲次数、导通孔的数目、步进的数目等。一般先进行探索式布经线,快速地把短线连通,然后进行迷宫式布线,先把要布的连线进行全局的布线路径优化,它可以根据需要断开已布的线。并试着重新再布线,以改进总体效果。

对目前高密度的 PCB 设计已感觉到贯通孔不太适应了,它浪费了许多宝贵的布线通道,为解决这一矛盾,出现了盲孔和埋孔技术,它不仅完成了导通孔的作用,还省出许多布线通道使布线过程完成得更加方便,更加流畅,更为完善,PCB 板的设计过程是一个复杂而又简单的过程,要想很好地掌握它,还需广大电子工程设计人员去自己体会,才能得到其中的真谛。

#### 1 电源、地线的处理

既使在整个 PCB 板中的布线完成得都很好,但由于电源、地线的考虑不周到而引起的干扰,会使产品的性能下降,有时甚至影响到产品的成功率。所以对电、地线的布线要认真对待,把电、地线所产生的噪音干扰降到最低限度,以保证产品的质量。

对每个从事电子产品设计的工程人员来说都明白地线与电源线之间噪音所产生的原因,现只对降低式抑制噪音作以表述:

众所周知的是在电源、地线之间加上去耦电容。

尽量加宽电源、地线宽度,最好是地线比电源线宽,它们的关系是:地线>电源线>信号线,通常信号线宽为:0.2~0.3mm,最细宽度可达0.05~0.07mm,电源线为1.2~2.5mm对数字电路的PCB可用宽的地导线组成一个回路,即构成一个地网来使用(模拟电路的地不能这样使用)用大面积铜层作地线用,在印制板上把没被用上的地方都与地相连接作为地线用。或是做成多层板,电源,地线各占一层。

#### 2 数字电路与模拟电路的共地处理

现在有许多 PCB 不再是单一功能电路(数字或模拟电路),而是由数字电路和模拟电路混合构成的。因此在布线时就需要考虑它们之间互相干扰问题,特别是地线上的噪音干扰。

数字电路的频率高,模拟电路的敏感度强,对信号线来说,高频的信号线尽可能远离敏感的模拟电路器件,对地线来说,整人 PCB 对外界只有一个结点,所以必须在 PCB 内部进行处理数、模共地的问题,而在板内部数字地和模拟地实际上是分开的它们之间互不相连,只是在 PCB 与外界连接的接口处(如插头等)。数字地与模拟地有一点短接,请注意,只有一个连接点。也有在 PCB 上不共地的,这由系统设计来决定。

#### 3 信号线布在电(地)层上

在多层印制板布线时,由于在信号层没有布完的线剩下已经不多,再加层数就会造成浪费也会给生产增加一定的工作量,成本也相应增加了,为解决这个矛盾,可以考虑在电(地)层上进行布线。首先应考虑用电源层,其次才是地层。因为最好是保留地层的完整性。

#### 4 大面积导体中连接腿的处理

在大面积的接地(电)中,常用元器件的腿与其连接,对连接腿的处理需要进行综合的考虑,就电气性能而言,元件腿的焊盘与铜面满接为好,但对元件的焊接装配就存在一些不良隐患如:①焊接需要大功率加热器。②容易造成虚焊点。所以兼顾电气性能与工艺需要,做成十字花焊盘,称之为热隔离(heat shield)俗称热焊盘(Thermal),这样,可使在焊接时因截面过分散热而产生虚焊点的可能性大大减少。多层板的接电(地)层腿的处理相同。

#### 5 布线中网络系统的作用

在许多 CAD 系统中,布线是依据网络系统决定的。网格过密,通路虽然有所增加,但步进太小,图场的数据量过大,这必然对设备的存储空间有更高的要求,同时也对象计算机类电子产品的运算速度有极大的影响。而有些通路是无效的,如被元件腿的焊盘占用的或被安装孔、定们孔所占用的等。网格过疏,通路太少对布通率的影响极大。所以要有一个疏密合理的网格系统来支持布线的进行。

标准元器件两腿之间的距离为0.1英寸(2.54mm),所以网格系统的基础一般就定为0.1英寸(2.54mm)或小于0.1英寸的整倍数,如:0.05英寸、0.025英寸、0.02英寸等。

## 6 设计规则检查（DRC）

布线设计完成后，需认真检查布线设计是否符合设计者所制定的规则，同时也需确认所制定的规则是否符合印制板生产工艺的需求，一般检查有如下几个方面：

线与线，线与元件焊盘，线与贯通孔，元件焊盘与贯通孔，贯通孔与贯通孔之间的距离是否合理，是否满足生产要求。

电源线和地线的宽度是否合适，电源与地线之间是否紧耦合（低的波阻抗）？在 PCB 中是否还有能让地线加宽的地方。

对于关键的信号线是否采取了最佳措施，如长度最短，加保护线，输入线及输出线被明显地分开。

模拟电路和数字电路部分，是否有各自独立的地线。

对一些不理想的线形进行修改。

在 PCB 上是否加有工艺线？阻焊是否符合生产工艺的要求，阻焊尺寸是否合适，字符标志是否压在器件焊盘上，以免影响电装质量。

多层板中的电源地层的外框边缘是否缩小，如电源地层的铜箔露出板外容易造成短路。

# 设计 PCB 时抗静电放电（ESD）的方法

来自人体、环境甚至电子设备内部的静电对于精密的半导体芯片会造成各种损伤，例如穿透元器件内部薄的绝缘层；损毁 MOSFET 和 CMOS 元器件的栅极；CMOS 器件中的触发器锁死；短路反偏的 PN 结；短路正向偏置的 PN 结；熔化有源器件内部的焊接线或铝线。为了消除静电释放 (ESD) 对电子设备的干扰和破坏，需要采取多种技术手段进行防范。

在 PCB 板的设计当中，可以通过分层、恰当的布局布线和安装实现 PCB 的抗 ESD 设计。在设计过程中，通过预测可以将绝大多数设计修改仅限于增减元器件。通过调整 PCB 布局布线，能够很好地防范 ESD。以下是一些常见的防范措施。

\*尽可能使用多层 PCB，相对于双面 PCB 而言，地平面和电源平面，以及排列紧密的信号线-地线间距能够减小共模阻抗和感性耦合，使之达到双面 PCB 的 1/10 到 1/100。尽量地将每一个信号层都紧靠一个电源层或地线层。对于顶层和底层表面都有元器件、具有很短连接线以及许多填充地的高密度 PCB，可以考虑使用内层线。

\*对于双面 PCB 来说，要采用紧密交织的电源和地栅格。电源线紧靠地线，在垂直和水平线或填充区之间，要尽可能多地连接。一面的栅格尺寸小于等于 60mm，如果可能，栅格尺寸应小于 13mm。

\*确保每一个电路尽可能紧凑。

\*尽可能将所有连接器都放在一边。

\*如果可能，将电源线从卡的中央引入，并远离容易直接遭受 ESD 影响的区域。

\*在引向机箱外的连接器(容易直接被 ESD 击中)下方的所有 PCB 层上，要放置宽的机箱地或者多边形填充地，并每隔大约 13mm 的距离用过孔将它们连接在一起。

\*在卡的边缘上放置安装孔，安装孔周围用无焊剂的顶层和底层焊盘连接到机箱地上。

\*PCB 装配时，不要在顶层或者底层的焊盘上涂覆任何焊料。使用具有内嵌垫圈的螺钉来实现 PCB 与金属机箱/屏蔽层或接地面上支架的紧密接

触。

\*在每一层的机箱地和电路地之间，要设置相同的“隔离区”；如果可能，保持间隔距离为 0.64mm。

\*在卡的顶层和底层靠近安装孔的位置，每隔 100mm 沿机箱地线将机箱地和电路地用 1.27mm 宽的线连接在一起。与这些连接点的相邻处，在机箱地和电路地之间放置用于安装的焊盘或安装孔。这些地线连接可以用刀片划开，以保持开路，或用磁珠/高频电容的跳接。

\*如果电路板不会放入金属机箱或者屏蔽装置中，在电路板的顶层和底层机箱地线上不能涂阻焊剂，这样它们可以作为 ESD 电弧的放电极。

\*要以下列方式在电路周围设置一个环形地：

(1) 除边缘连接器以及机箱地以外，在整个外围四周放上环形地通路。

(2) 确保所有层的环形地宽度大于 2.5mm。

(3) 每隔 13mm 用过孔将环形地连接起来。

(4) 将环形地与多层电路的公共地连接到一起。

(5) 对安装在金属机箱或者屏蔽装置里的双面板来说，应该将环形地与电路公共地连接起来。不屏蔽的双面电路则应该将环形地连接到机箱地，环形地上不能涂阻焊剂，以便该环形地可以充当 ESD 的放电棒，在环形地(所有层)上的某个位置处至少放置一个 0.5mm 宽的间隙，这样可以避免形成一个大的环路。信号布线离环形地的距离不能小于 0.5mm。

\*在能被 ESD 直接击中的区域，每一个信号线附近都要布一条地线。

\*I/O 电路要尽可能靠近对应的连接器。

\*对易受 ESD 影响的电路，应该放在靠近电路中心的区域，这样其他电路可以为它们提供一定的屏蔽作用。

\*通常在接收端放置串联的电阻和磁珠，而对那些易被 ESD 击中的电缆驱动器，也可以考虑在驱动端放置串联的电阻或磁珠。

\*通常在接收端放置瞬态保护器。用短而粗的线(长度小于 5 倍宽度，最好小于 3 倍宽度)连接到机箱地。从连接器出来的信号线和地线要直接接到瞬态保护器，然后才能接电路的其他部分。

\*在连接器处或者离接收电路 25mm 的范围内，要放置滤波电容。

(1) 用短而粗的线连接到机箱地或者接收电路地(长度小于 5 倍宽度，最好小于 3 倍宽度)。

(2) 信号线和地线先连接到电容再连接到接收电路。

\*要确保信号线尽可能短。

\*信号线的长度大于 300mm 时，一定要平行布一条地线。

\*确保信号线和相应回路之间的环路面积尽可能小。对于长信号线每隔几厘米便要调换信号线和地线的位置来减小环路面积。

\*从网络的中心位置驱动信号进入多个接收电路。

\*确保电源和地之间的环路面积尽可能小，在靠近集成电路芯片每一个电源管脚的地方放置一个高频电容。

\*在距离每一个连接器 80mm 范围以内放置一个高频旁路电容。

\*在可能的情况下，要用地填充未使用的区域，每隔 60mm 距离将所有层的填充地连接起来。

\*确保在任意大的地填充区 (大约大于 25mm×6mm) 的两个相反端点位置处要与地连接。

\*电源或地平面上开口长度超过 8mm 时，要用窄的线将开口的两侧连接起来。

\*复位线、中断信号线或者边沿触发信号线不能布置在靠近 PCB 边沿的地方。

\*将安装孔同电路公地连接在一起，或者将它们隔离开来。

(1) 金属支架必须和金属屏蔽装置或者机箱一起使用时，要采用一个零欧姆电阻实现连接。

(2) 确定安装孔大小来实现金属或者塑料支架的可靠安装，在安装孔顶层和底层上要采用大焊盘，底层焊盘上不能采用阻焊剂，并确保底层焊盘不采用波峰焊工艺进行焊接。

\*不能将受保护的信号线和不受保护的信号线并行排列。

\*要特别注意复位、中断和控制信号线的布线。

(1) 要采用高频滤波。

(2) 远离输入和输出电路。

(3) 远离电路板边缘。

\*PCB 要插入机箱内，不要安装在开口位置或者内部接缝处。

\*要注意磁珠下、焊盘之间和可能接触到磁珠的信号线的布线。有些磁珠导电性能相当好，可能会产生意想不到的导电路径。

\*如果一个机箱或者主板要内装几个电路板，应该将对静电最敏感的电路板放在最中间。

## 射频电路 PCB 设计

随着通信技术的发展，手持无线射频电路技术运用越来越广，如：无线寻呼机、手机、无线 PDA 等，其中的射频电路的性能指标直接影响整个产品的质量。这些掌上产品的一个最大特点就是小型化，而小型化意味着元器件的密度很大，这使得元器件（包括 SMD、SMC、裸片等）的相互干扰十分突出。电磁干扰信号如果处理不当，可能造成整个电路系统的无法正常工作，因此，如何防止和抑制电磁干扰，提高电磁兼容性，就成为设计射频电路 PCB 时的一个非常重要的课题。同一电路，不同的 PCB 设计结构，其性能指标会相差很大。本讨论采用 Protel99 SE 软件进行掌上产品的射频电路 PCB 设计时，如果最大限度地实现电路的性能指标，以达到电磁兼容要求。

### 1 板材的选择

印刷电路板的基材包括有机类与无机类两大类。基材中最重要的性能是介电常数  $\epsilon_r$ 、耗散因子（或称介质损耗） $\tan \delta$ 、热膨胀系数 CET 和吸湿率。其中  $\epsilon_r$  影响电路阻抗及信号传输速率。对于高频电路，介电常数公差是首要考虑的更关键因素，应选择介电常数公差小的基材。

## 2 PCB 设计流程

由于 Protel99 SE 软件的使用与 Protel 98 等软件不同, 因此, 首先简要讨论采用 Protel99 SE 软件进行 PCB 设计的流程。

### ①由于 Protel99

SE 采用的是工程 (PROJECT) 数据库模式管理, 在 Windows 99 下是隐含的, 所以应先键立 1 个数据库文件用于管理所设计的电路原理图与 PCB 版图。

②原理图的设计。为了可以实现网络连接, 在进行原理设计之间, 所用到的元器件都必须在元器件库中存在, 否则, 应在 SCHLIB 中做出所需的元器件并存入库文件中。然后, 只需从元器件库中调用所需的元器件, 并根据所设计的电路图进行连接即可。

③原理图设计完成后, 可形成一个网络表以备进行 PCB 设计时使用。

### ④PCB 的设计。

a. PCB 外形及尺寸的确定。根据所设计的 PCB 在产品的位置、空间的大小、形状以及与其它部件的配合来确定 PCB 的外形与尺寸。在 MECHANICAL LAYER 层用 PLACE TRACK 命令画出 PCB 的外形。

b. 根据 SMT 的要求, 在 PCB 上制作定位孔、视眼、参考点等。

c. 元器件的制作。假如需要使用一些元器件库中不存在的特殊元器件, 则在布局之前需先进行元器件的制作。在 Protel99 SE 中制作元器件的过程比较简单, 选择“DESIGN”菜单中的“MAKE LIBRARY”命令后就进入了元器件制作窗口, 再选择“TOOL”菜单中的“NEW COMPONENT”命令就可以进行元器件的设计。这时只需根据实际元器件的形状、大小等在 TOP LAYER 层以 PLACE PAD 等命令在一定的位罝画出相应的焊盘并编辑成所需的焊盘 (包括焊盘形状、大小、内径尺寸及角度等, 另外还应标出焊盘相应的引脚名), 然后以 PLACE TRACK 命令在 TOP OVERLAYER 层中画出元器件的最大外形, 取一个元器件名存入元器件库中即可。

d. 元器件制作完成后, 进行布局及布线, 这两部分在下面具体进行讨论。

e. 以上过程完成后必须进行检查。这一方面包括电路原理的检查, 另一方面还必须检查相互间的匹配及装配问题。电路原理的检查可以人工检查, 也可以采用网络自动检查 (原理图形成的网络与 PCB 形成的网络进行比较即可)。

f. 检查无误后, 对文件进行存档、输出。在 Protel99 SE 中必须使用“FILE”选项中的“EXPORT”命令, 把文件存放到指定的路径与文件中 (“IMPORT”命令则是把某一文件调入到 Protel99 SE 中)。注: 在 Protel99 SE 中“FILE”选项中的“SAVE COPY AS...”命令执行后, 所选取的文件名在 Windows 98 中是不可见的, 所以在资源管理器中是看不到该文件的。这与 Protel 98 中的“SAVE AS...”功能不完全一样。

## 3 元器件的布局

由于 SMT 一般采用红外炉热流焊来实现元器件的焊接, 因而元器件的布局影响到焊点的质量, 进而影响到产品的成品率。而对于射频电路 PCB 设计而言, 电磁兼容性要求每个电路模块尽量不产生电磁辐射, 并且具有一定的抗电磁干扰能力, 因此, 元器件的布局还直接影响到电路本身的干扰及抗干扰能力, 这也直接关系到所设计电路的性能。因此, 在进行射频电路 PCB 设计时除了要考虎普通 PCB 设计时的布局外, 主要还须考虑如何减小射频电路中各部分之间相互干扰、如何减小电路本身对其它电路的干扰以及电路本身的抗干扰能力。根据经验, 对于射频电路效果的好坏不仅取决于射频电路板本身的性能指标, 很大部分还取决于与 CPU 处理板间的相互影响, 因此, 在进行 PCB 设计时, 合理布局显得尤为重要。

布局总原则: 元器件应尽可能同一方向排列, 通过选择 PCB 进入熔锡系统的方向来减少甚至避免焊接不良的现象; 根据经验元器件间最少要有 0.5mm 的间距才能满足元器件的熔锡要求, 若 PCB 板的空间允许, 元器件的间距应尽可能宽。对于双面板一般应设计一面为 SMD 及 SMC 元件, 另一面则为分立元件。

布局中应注意:

\*首先确定与其它 PCB 板或系统的接口元器件在 PCB 板上的位置，必须注意接口元器件间的配合问题（如元器件的方向等）。

\*因为掌上用品的体积都很小，元器件间排列很紧凑，因此对于体积较大的元器件，必须优先考虑，确定出相应位置，并考虑相互间的配合问题。

\*认真分析电路结构，对电路进行分块处理（如高频放大电路、混频电路及解调电路等），尽可能将强电信号和弱电信号分开，将数字信号电路和模拟信号电路分开，完成同一功能的电路应尽量安排在一定的范围之内，从而减小信号环路面积；各部分电路的滤波网络必须就近连接，这样不仅可以减小辐射，而且可以减少被干扰的几率，根据电路的抗干扰能力。

\*根据单元电路在使用中对电磁兼容性敏感程度不同进行分组。对于电路中易受干扰部分的元器件在布局时还应尽量避开干扰源（比如来自数据处理板上 CPU 的干扰等）。

#### 4 布线

在基本完成元器件的布局后，就可开始布线了。布线的基本原则为：在组装密度许可情况下后，尽量选用低密度布线设计，并且信号走线尽量粗细一致，有利于阻抗匹配。

对于射频电路，信号线的走向、宽度、线间距的不合理设计，可能造成信号信号传输线之间的交叉干扰；另外，系统电源自身还存在噪声干扰，所以在设计射频电路 PCB 时一定要综合考虑，合理布线。

布线时，所有走线应远离 PCB 板的边框（2mm 左右），以免 PCB 板制作时造成断线或有断线的隐患。电源线要尽可能宽，以减少环路电阻，同时，使电源线、地线的走向和数据传递的方向一致，以提高抗干扰能力；所布信号线应尽可能短，并尽量减少过孔数目；各元器件间的连线越短越好，以减少分布参数和相互间的电磁干扰；对于不相容的信号线应尽量相互远离，而且尽量避免平行走线，而在正向两面的信号线应用互垂直；布线时在需要拐角的地址方应以  $135^\circ$  角为宜，避免拐直角。布线时与焊盘直接相连的线条不宜太宽，走线应尽量离开不相连的元器件，以免短路；过孔不旋画在元器件上，且应尽量远离不相连的元器件，以免在生产中出现虚焊、连焊、短路等现象。

在射频电路 PCB 设计中，电源线和地线的正确布线显得尤其重要，合理的设计是克服电磁干扰的最重要的手段。PCB 上相当多的干扰源是通过电源和地线产生的，其中地线引起的噪声干扰最大。

地线容易形成电磁干扰的主要原因于地线存在阻抗。当有电流流过地线时，就会在地线上产生电压，从而产生地线环路电流，形成地线的环路干扰。当多个电路共用一段地线时，就会形成公共阻抗耦合，从而产生所谓的地线噪声。因此，在对射频电路 PCB 的地线进行布线时应该做到：

\*首先，对电路进行分块处理，射频电路基本上可分成高频放大、混频、解调、本振等部分，要为各个电路模块提供一个公共电位参考点即各模块电路各自的地线，这样信号就可以在不同的电路模块之间传输。然后，汇总于射频电路 PCB 接入地线的地方，即汇总于总地线。由于只存在一个参考点，因此没有公共阻抗耦合存在，从而也就没有相互干扰问题。

\*数字区与模拟区尽可能地进行隔离，并且数字地与模拟地要分离，最后接于电源地。

\*在各部分电路内部的地线也要注意单点接地原则，尽量减小信号环路面积，并与相应的滤波电路的地址就近相接。

\*在空间允许的情况下，各模块之间最好能以地线进行隔离，防止相互之间的信号耦合效应。

#### 5 结论

射频电路 PCB 设计的关键在于如何减少辐射能力以及如何提高抗干扰能力，合理的布局与布线是设计射频电路 PCB 的保证。文中所述方法有利于提高射频电路 PCB 设计的可靠性，解决好电磁干扰问题，进而达到电磁兼容的目的。

## 知识：印制电路板设计原则和抗干扰措施

印制电路板(PCB)是电子产品中电路元件和器件的支撑件,它提供电路元件和器件之间的电气连接。随着电子技术的飞速发展,PCB 的密度越来越高。PCB 设计的好坏对抗干扰能力影响很大。因此,在进行 PCB 设计时,必须遵守 PCB 设计的一般原则,并应符合抗干扰设计的要求。

## PCB 设计的一般原则

要使电子电路获得最佳性能,元器件的布且及导线的布设是很重要的。为了设计质量好、造价低的 PCB,应遵循以下一般原则:

### 1. 布局

首先,要考虑 PCB 尺寸大小。PCB 尺寸过大时,印制线条长,阻抗增加,抗噪声能力下降,成本也增加;过小,则散热不好,且邻近线条易受干扰。在确定 PCB 尺寸后,再确定特殊元件的位置。最后,根据电路的功能单元,对电路的全部元器件进行布局。

在确定特殊元件的位置时要遵守以下原则:

(1)尽可能缩短高频元器件之间的连线,设法减少它们的分布参数和相互间的电磁干扰。易受干扰的元器件不能相互挨得太近,输入和输出元件应尽量远离。

(2)某些元器件或导线之间可能有较高的电位差,应加大它们之间的距离,以免放电引出意外短路。带高电压的元器件应尽量布置在调试时手不易触及的地方。

(3)重量超过 15g 的元器件,应当用支架加以固定,然后焊接。那些又大又重、发热量多的元器件,不宜装在印制板上,而应装在整机的机箱底板上,且应考虑散热问题。热敏元件应远离发热元件。

(4)对于电位器、可调电感线圈、可变电容器、微动开关等可调元件的布局应考虑整机的结构要求。若是机内调节,应放在印制板上方便于调节的地方;若是机外调节,其位置要与调节旋钮在机箱面板上的位置相适应。

(5)应留出印制板定位孔及固定支架所占用的位置。

根据电路的功能单元,对电路的全部元器件进行布局时,要符合以下原则:

(1)按照电路的流程安排各个功能电路单元的位置,使布局便于信号流通,并使信号尽可能保持一致的方向。

(2)以每个功能电路的核心元件为中心,围绕它来进行布局。元器件应均匀、整齐、紧凑地排列在 PCB 上,尽量减少和缩短各元器件之间的引线和连接。

(3)在高频下工作的电路,要考虑元器件之间的分布参数。一般电路应尽可能使元器件平行排列。这样,不但美观,而且装焊容易,易于批量生产。

(4)位于电路板边缘的元器件,离电路板边缘一般不小于 2mm。电路板的最佳形状为矩形。长宽比为 3:2 或 4:3。电路板面尺寸大于 200x150mm 时,应考虑电路板所受的机械强度。

### 2. 布线

布线的原则如下:

(1)输入输出端用的导线应尽量避免相邻平行。最好加线间地线,以免发生反馈耦合。

(2)印制导线的最小宽度主要由导线与绝缘基板间的粘附强度和流过它们的电流值决定。当铜箔厚度为 0.05mm、宽度为 1~15mm 时,通过 2A 的电流,温度不会高于 3℃,因此,导线宽度为 1.5mm 可满足要求。对于集成电路,尤其是数字电路,通常选 0.02~0.3mm 导线宽度。当然,只要允

许，还是尽可能用宽线。尤其是电源线和地线。导线的最小间距主要由最坏情况下的线间绝缘电阻和击穿电压决定。对于集成电路，尤其是数字电路，只要工艺允许，可使间距小至 5~8mm。

(3) 印制导线拐弯处一般取圆弧形，而直角或夹角在高频电路中会影响电气性能。此外，尽量避免使用大面积铜箔，否则，长时间受热时，易发生铜箔膨胀和脱落现象。必须用大面积铜箔时，最好用栅格状，这样有利于排除铜箔与基板间粘合剂受热产生的挥发性气体。

### 3. 焊盘

焊盘中心孔要比器件引线直径稍大一些。焊盘太大易形成虚焊。焊盘外径 D 一般不小于  $(d+1.2)$ mm，其中 d 为引线孔径。对高密度的数字电路，焊盘最小直径可取  $(d+1.0)$ mm。

## PCB 及电路抗干扰措施

印制电路板的抗干扰设计与具体电路有着密切的关系，这里仅就 PCB 抗干扰设计的几项常用措施做一些说明。

### 1. 电源线设计

根据印制线路板电流的大小，尽量加粗电源线宽度，减少环路电阻。同时，使电源线、地线的走向和数据传递的方向一致，这样有助于增强抗噪声能力。

### 2. 地线设计

地线设计的原则是：

(1) 数字地与模拟地分开。若线路板上既有逻辑电路又有线性电路，应使它们尽量分开。低频电路的地应尽量采用单点并联接地，实际布线有困难时可部分串联后再并联接地。高频电路宜采用多点串联接地，地线应短而粗，高频元件周围尽量用栅格状大面积地箔。

(2) 接地线应尽量加粗。若接地线用很细的线条，则接地电位随电流的变化而变化，使抗噪性能降低。因此应将接地线加粗，使它能通过三倍于印制板上的允许电流。如有可能，接地线应在 2~3mm 以上。

(3) 接地线构成闭环路。只由数字电路组成的印制板，其接地电路布成闭环路大多能提高抗噪声能力。

### 3. 退藕电容配置

PCB 设计的常规做法之一是在印制板的各个关键部位配置适当的退藕电容。

退藕电容的一般配置原则是：

(1) 电源输入端跨接 10~100 $\mu$ F 的电解电容器。如有可能，接 100 $\mu$ F 以上的更好。

(2) 原则上每个集成电路芯片都应布置一个 0.01 $\mu$ F 的瓷片电容，如遇印制板空隙不够，可每 4~8 个芯片布置一个 1~10 $\mu$ F 的但电容。

(3) 对于抗噪能力弱、关断时电源变化大的器件，如 RAM、ROM 存储器件，应在芯片的电源线和地线之间直接接入退藕电容。

(4) 电容引线不能太长，尤其是高频旁路电容不能有引线。

此外，还应注意以下两点：

(1) 在印制板中有接触器、继电器、按钮等元件时，操作它们时均会产生较大火花放电，必须采用附图所示的 RC 电路来吸收放电电流。一般 R 取 1~2K，C 取 2.2~47 $\mu$ F。

(2) CMOS 的输入阻抗很高，且易受感应，因此在使用时对不用端要接地或接正电源。

## PCB 高级设计之电磁干扰及抑制

电磁干扰是由电磁效应而造成的干扰，由于 PCB 上的元器件及布线越来越密集，如果设计不当就会产生电磁干扰。

为了抑制电磁干扰，可采取如下措施：

### (1) 合理布设导线

印制线应远离干扰源且不能切割磁力线；避免平行走线，双面板可以交叉通过，单面板可以通过“飞线”跨过；避免成环，防止产生环形天线效应；时钟信号布线应与地线靠近，对于数据总线的布线应在每两根之间夹一根地线或紧挨着地址引线放置；为了抑制出现在印制导线终端的反射干扰，可在传输线的末端对地和电源端各加接一个相同阻值的匹配电阻。

### (2) 采用屏蔽措施

可设置大面积的屏蔽地线和专用屏蔽线以屏蔽弱信号不受干扰。

### (3) 去耦电容的配置

在直流供电电路中，负载的变化会引起电源噪声并通过电源及配线对电路产生干扰。为抑制这种干扰，可在单元电路的供电端接一个 10—100 $\mu$ F 的电解电容器；可在集成电路的供电端配置一个 680pF—0.1 $\mu$ F 的陶瓷电容器或 4—10 个芯片配置一个 1—10 $\mu$ F 的电解电容器；对 ROM、RAM 等芯片应在电源线 (Vcc) 和地线 (GND) 间直接接入去耦电容等。

## 地线干扰与抑制

### 1. 地线的定义

什么是地线？大家在教科书上学的地线定义是：地线是作为电路电位基准点的等电位体。这个定义是不符合实际情况的。实际地线上的电位并不是恒定的。如果用仪表测量一下地线上各点之间的电位，会发现地线上各点的电位可能相差很大。正是这些电位差才造成了电路工作的异常。电路是一个等电位体的定义仅是人们对地线电位的期望。HENRY 给地线了一个更加符合实际的定义，他将地线定义为：信号流回源的低阻抗路径。这个定义中突出了地线中电流的流动。按照这个定义，很容易理解地线中电位差的产生原因。因为地线的阻抗总不会为零，当一个电流通过有限阻抗时，就会产生电压降。因此，我们应该将地线上的电位想象成象大海中的波浪一样，此起彼伏。

### 2. 地线的阻抗

谈到地线的阻抗引起的地线上各点之间的电位差能够造成电路的误动作，许多人觉得不可思议：我们用欧姆表测量地线的电阻时，地线的电阻往往在毫欧姆级，电流流过这么小的电阻时怎么会产生这么大的电压降，导致电路工作的异常。要搞清这个问题，首先要区分开导线的电阻与阻抗两个不同的概念。电阻指的是在直流状态下导线对电流呈现的阻抗，而阻抗指的是交流状态下导线对电流的阻抗，这个阻抗主要是由导线的电感引起的。任何导线都有电感，当频率较高时，导线的阻抗远大于直流电阻，表 1 给出的数据说明了这个问题。在实际电路中，造成电磁干扰的信号往往是脉冲信号，脉冲信号包含丰富的高频成分，因此会在地线上产生较大的电压。对于数字电路而言，电路的工作频率是很高的，因此地线阻抗对数字电路的影响是十分可观的。

如果将 10Hz 时的阻抗近似认为是直流电阻，可以看出当频率达到 10MHz 时，对于 1 米长导线，它的阻抗是直流电阻的 1000 倍至 10 万倍。因此对于射频电流，当电流流过地线时，电压降是很大的。从表上还可以看出，增加导线的直径对于减小直流电阻是十分有效的，但对于减小交流阻抗的作用很有限。但在电磁兼容中，人们最关心的交流阻抗。为了减小交流阻抗，一个有效的办法是多根导线并联。当两根导线并联时，其总电感  $L$  为：
$$L = (L_1 + M) / 2$$
 式中， $L_1$  是单根导线的电感， $M$  是两根导线之间的互感。从式中可以看出，当两根导线相距较远时，它们

之间的互感很小，总电感相当于单根导线电感的一半。因此我们可以通过多条接地线来减小接地阻抗。但要注意的是，多根导线之间的距离不能过近。

### 3. 地线干扰机理

3.1 地环路干扰 图 1 是两个接地的电路。由于地线阻抗的存在，当电流流过地线时，就会在地线上产生电压。当电流较大时，这个电压可以很大。例如附近有大功率用电器启动时，会在地线在中流过很强的电流。这个电流会在两个设备的连接电缆上产生电压。由于电路的不平衡性，每根导线上的电流不同，因此会产生差模电压，对电路造成影响。由于这种干扰是由电缆与地线构成的环路电流产生的，因此成为地环路干扰。地环路中的电流还可以由外界电磁场感应出来。

3.2 公共阻抗干扰 当两个电路共用一段地线时，由于地线的阻抗，一个电路的地电位会受另一个电路工作电流的调制。这样一个电路中的信号会耦合进另一个电路，这种耦合称为公共阻抗耦合。

在数字电路中，由于信号的频率较高，地线往往呈现较大的阻抗。这时，如果存在不同的电路共用一段地线，就可能出现公共阻抗耦合的问题。图 3 的例子说明了一种干扰现象。图 3 是一个有四个门电路组成的简单电路。假设门 1 的输出电平由高变为低，这时电路中的寄生电容（有时门 2 的输入端有滤波电容）会通过门 1 向地线放电，由于地线的阻抗，放电电流会在地线上产生尖峰电压，如果这时门 3 的输出是低电平，则这个尖峰电压就会传到门 3 的输出端，门 4 的输入端，如果这个尖峰电压的幅度超过门 4 的噪声门限，就会造成门 4 的误动作。

### 4. 地线干扰对策

4.1 地环路对策 从地环路干扰的机理可知，只要减小地环路中的电流就能减小地环路干扰。如果能彻底消除地环路中的电流，则可以彻底解决地环路干扰的问题。因此我们提出以下几种解决地环路干扰的方案。

A. 将一端的设备浮地 如果将一端电路浮地，就切断了地环路，因此可以消除地环路电流。但有两个问题需要注意，一个是出于安全的考虑，往往不允许电路浮地。这时可以考虑将设备通过一个电感接地。这样对于 50Hz 的交流电流设备接地阻抗很小，而对于频率较高的干扰信号，设备接地阻抗较大，减小了地环路电流。但这样做只能减小高频干扰的地环路干扰。另一个问题是，尽管设备浮地，但设备与地之间还是有寄生电容，这个电容在频率较高时会提供较低的阻抗，因此并不能有效地减小高频地环路电流。

B. 使用变压器实现设备之间的连接 利用磁路将两个设备连接起来，可以切断地环路电流。但要注意，变压器初次级之间的寄生电容仍然能够为频率较高的地环路电流提供通路，因此变压器隔离的方法对高频地环路电流的抑制效果较差。提高变压器高频隔离效果的一个办法是在变压器的初次级之间设置屏蔽层。但一定要注意隔离变压器屏蔽层的接地端必须在接受电路一端。否则，不仅不能改善高频隔离效果，还可能使高频耦合更加严重。因此，变压器要安装在信号接收设备的一侧。经过良好屏蔽的变压器可以在 1MHz 以下的频率提供有效的隔离。

C. 使用光隔离器 另一个切断地环路的方法是用光实现信号的传输。这可以说是解决地环路干扰问题的最理想方法。用光连接有两种方法，一种是光耦器件，另一种是用光纤连接。光耦的寄生电容一般为 2pF，能够在很高的频率提供良好的隔离。光纤几乎没有寄生电容，但安装、维护、成本等方面都不如光耦器件。

D. 使用共模扼流圈 在连接电缆上使用共模扼流圈相当于增加了地环路的阻抗，这样在一定的地线电压作用下，地环路电流会减小。但要注意控制共模扼流圈的寄生电容，否则对高频干扰的隔离效果很差。共模扼流圈的匝数越多，则寄生电容越大，高频隔离的效果越差。

4.2 消除公共阻抗耦合 消除公共阻抗耦合的途径有两个，一个是减小公共地线部分的阻抗，这样公共地线上的电压也随之减小，从而控制公共阻抗耦合。另一个方法是通过适当的接地方式避免容易相互干扰的电路共用地线，一般要避免强电电路和弱电电路共用地线，数字电路和模拟电路共用地线。如前所述，减小地线阻抗的核心问题是减小地线的电感。这包括使用扁平导体做地线，用多条相距较远的并联导体作接地线。对于印刷线路板，在双层板上布地线网格能够有效地减小地线阻抗，在多层板中专门用一层做地线虽然具有很小的阻抗，但这会增加线路板的成本。通过适当接地方式避免公共阻抗的接地方法是并联单点接地，如图 4 所示。并联接地的缺点是接地的导线过多。因此在实际中，没有必要所有电路都并联单点接地，对于相互干扰较少的电路，可以采用串联单点接地。例如，可以将电路按照强信号，弱信号，模拟信号，数字信号等分类，然后在同类电路内部用串联单点接地，不同类型的电路采用并联单点接地，如图 5 所示。

5. 小结

地线造成电磁干扰的主要原因是地线存在阻抗，当电流流过地线时，会在地线上产生电压，这就是地线噪声。在这个电压的驱动下，会产生地线环路电流，形成地环路干扰。当两个电路共用一段地线时，会形成公共阻抗耦合。 解决地环路干扰的方法有切断地环路，增加地环路的阻抗，使用平衡电路等。解决公共阻抗耦合的方法是减小公共地线部分的阻抗，或采用并联单点接地，彻底消除公共阻抗。

PCB 设计指引（1）

1. 目的和作用

1.1 规范设计作业，提高生产效率和改善产品的质量。

2. 适用范围

1.1 XXX 公司开发部的 VCD、超级 VCD、DVD、音响等产品。

3. 责任

3.1 XXX 开发部的所有电子工程师、技术员及电脑绘图员等。

4. 资历和培训

4.1 有电子技术基础；

4.2 有电脑基本操作常识；

4.3 熟悉利用电脑 PCB 绘图软件。

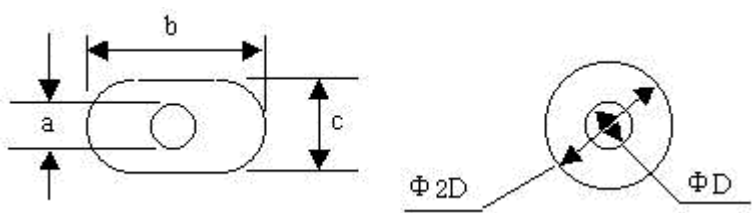
5. 工作指导 (所有长度单位为 MM)

5.1 铜箔最小线宽:单面板 0.3MM, 双面板 0.2MM, 边缘铜箔最小要 1.0MM

5.2 铜箔最小间隙:单面板:0.3MM, 双面板:0.2MM.

5.3 铜箔与板边最小距离为 0.5MM, 元件与板边最小距离为 5.0MM, 焊盘与板边最小距离为 4.0MM。

5.4 一般通孔安装元件的焊盘的大小 (直径) 为孔径的两倍, 双面板最小为 1.5MM, 单面板最小为 2.0MM, 建议 (2.5MM)。如果不能用圆形焊盘, 可用腰圆形焊盘, 大小如下图所示 (如有标准元件库, 则以标准元件库为准) :

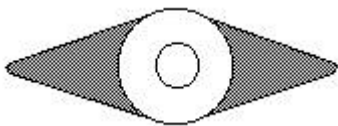


焊盘长边、短边与孔的关系为：

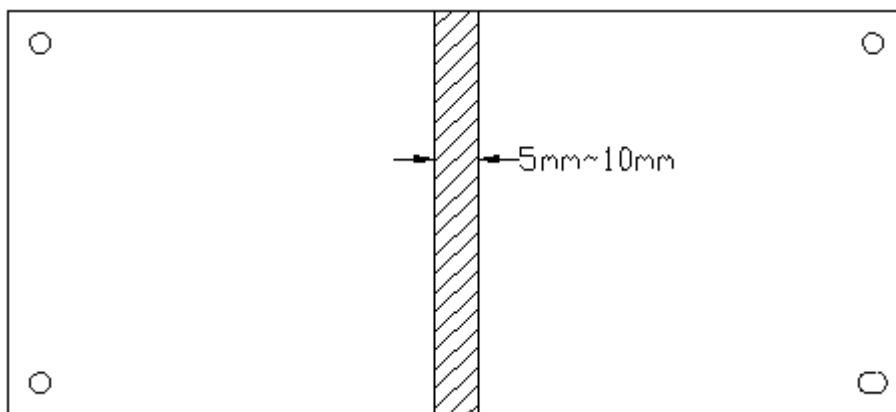
a	B	c
0.6	2.8	1.27
0.7	2.8	1.52
0.8	2.8	1.65
0.9	2.8	1.74
1.0	2.8	1.84
1.1	2.8	1.94

5.5 电解电容不可触及发热元件, 如大功率电阻, 热敏电阻, 变压器, 散热器等. 电解电容与散热器的间隔最小为 10.0MM, 其它元件到散热器的间隔最小为 2.0MM.

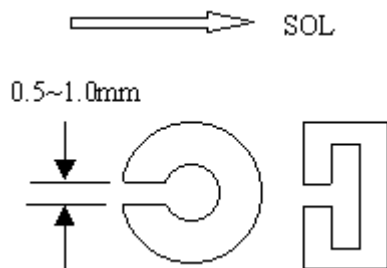
5.6 大型元器件 (如: 变压器、直径 15.0MM 以上的电解电容、大电流的插座等) 加大铜箔及上锡面积如下图; 阴影部分面积肥最小要与焊盘面积相等。



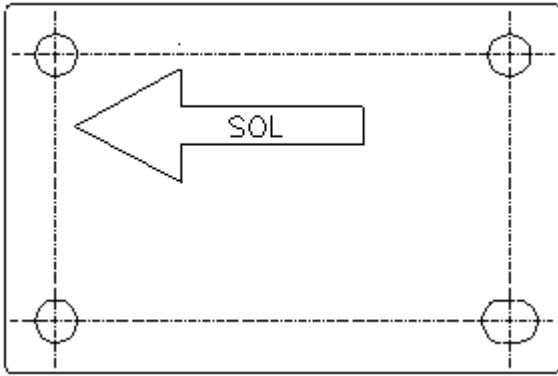
- 5.7 螺丝孔半径 5.0MM 内不能有铜箔(除要求接地外)及元件.(或按结构图要求).
- 5.8 上锡位不能有丝印油.
- 5.9 焊盘中心距小于 2.5MM 的,该相邻的焊盘周边要有丝印油包裹,丝印油宽度为 0.2MM(建议 0.5MM).
- 5.10 跳线不要放在 IC 下面或马达、电位器以及其它大体积金属外壳的元件下.
- 5.11 在大面积 PCB 设计中(大约超过 500CM<sup>2</sup> 以上),为防止过锡炉时 PCB 板弯曲,应在 PCB 板中间留一条 5 至 10MM 宽的空隙不放元器件(可走线),用来在过锡炉时加上防止 PCB 板弯曲的压条,如下图的阴影区:



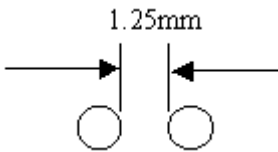
- 5.12 每一粒三极管必须在丝印上标出 e, c, b 脚.
- 5.13 需要过锡炉后才焊的元件,焊盘要开走锡位,方向与过锡方向相反,宽度视孔的大小为 0.5MM 到 1.0MM。如下图:



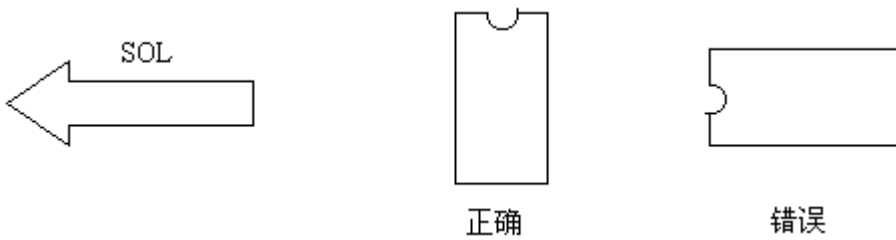
- 5.14 设计双面板时要注意,金属外壳的元件,插件时外壳与印制板接触的,顶层的焊盘不可开,一定要用绿油或丝印油盖住(例如两脚的晶振)。
- 5.15 为减少焊点短路,所有的双面印制板,过孔都不开绿油窗。
- 5.16 每一块 PCB 上都必须用实心箭头标出过锡炉的方向:



5.17 孔洞间距离最小为 1.25MM(对双面板无效)。



5.18 布局时，DIP 封装的 IC 摆放的方向必须与过锡炉的方向成垂直，不可平行，如下图；如果布局上有困难，可允许水平放置 IC（SOP 封装的 IC 摆放方向与 DIP 相反）。

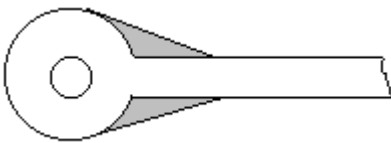


5.19 布线方向为水平或垂直，由垂直转入水平要走 45 度进入。

5.20 元件的安放为水平或垂直。

5.21 丝印字符为水平或右转 90 度摆放。

5.22 若铜箔入圆焊盘的宽度较圆焊盘的直径小时，则需加泪滴。如图：



5.23 物料编码和设计编号要放在板的空位上。

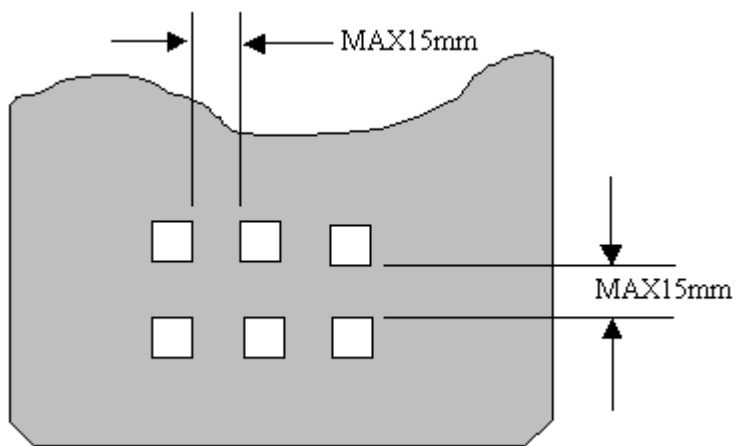
5.24 把没有接线的地方合理地作接地或电源用。

5.25 布线尽可能短，特别注意时钟线、低电平信号线及所有高频回路布线要更短。

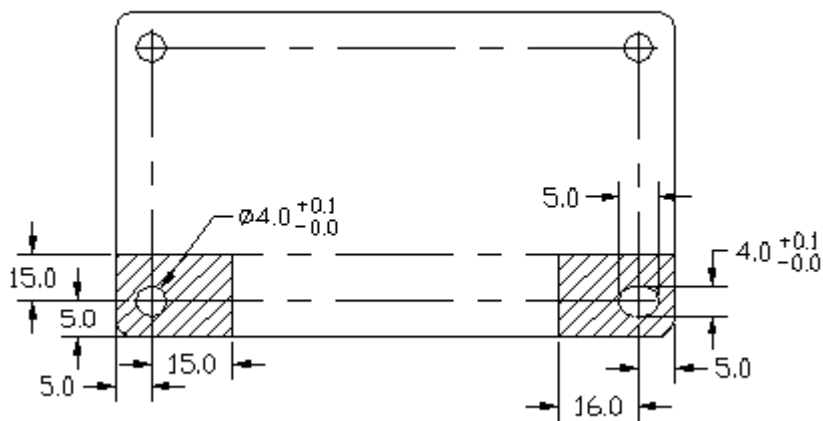
5.26 模拟电路及数字电路的地线及供电系统要完全分开。

## PCB 设计指引（2）

5.27 如果印制板上有大面积地线和电源线区（面积超过 500 平方毫米），应局部开窗口。如图：

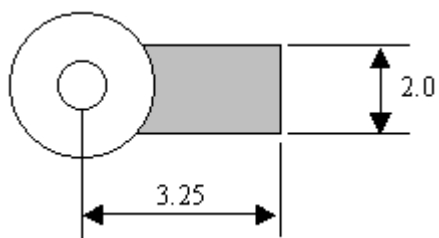


5.28 电插印制板的定位孔规定如下，阴影部分不可放元件，手插元件除外，L 的范围是 50~330mm, H 的范围是 50~250mm, 如果小于 50X50 则要拼板开模方可电插，如果超过 330X250 则改为手插板。定位孔需在长边上。

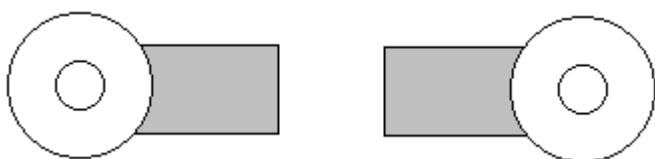


5.29 横插元件（电阻、二极管等）脚间中心，相距必须是 7.5mm，10.0mm 及 12.5mm。（如非必要，6.0mm 亦可利用，但适用于 IN4148 型之二极管或 1/16W 电阻上。1/4W 电阻由 10.0mm 开始）铁线脚间中心相距必须是 5.0mm，7.5mm，12.5mm，15mm，17.5mm，20mm，22.5mm，25mm。

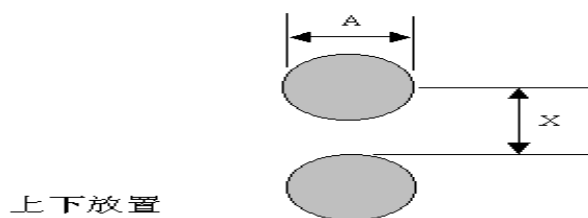
5.30 电插印制板的阻焊丝印油如下图所示：



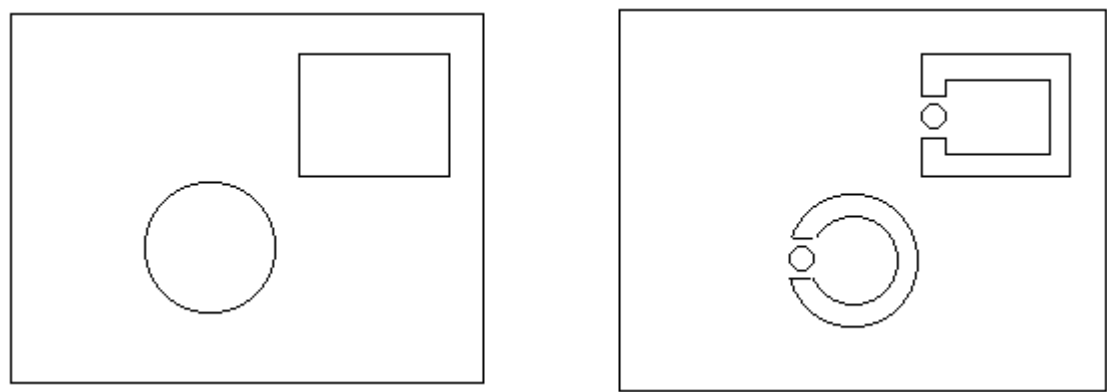
5.31 横插元件阻焊油方向：（内向）



5.32 直插元件阻焊油方向：（外向）



5.33 电插元件孔直径: a) 横插元件孔直径为:  $1.1+0.1/-0.0\text{mm}$  b) 直插元件孔直径为:  $1.0+0.1/-0.0\text{mm}$  c) 铆钉孔直径  $\sim 2.0\text{mm}$  铆钉孔直径  $\sim 2.25+0.1/-0.0\text{mm}$   $\sim 3.0\text{mm}$  铆钉孔直径  $\sim 3.25+0.1/-0.0\text{mm}$  5.34 PCB 板上的散热孔, 直径不可大于 3.5MM 5.35 PCB 上如果有  $\Phi 12$  或方形 12MM 以上的孔, 必须做一个防止焊锡流出的孔盖, 如下图: (孔隙为 1.0MM)

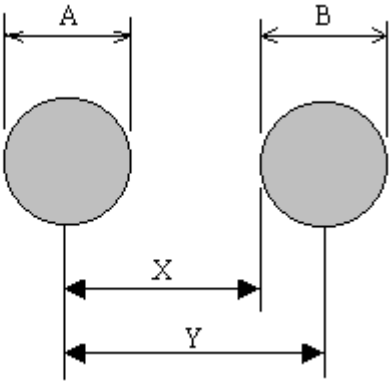


5.36 电插印制板横插元件（电阻、二极管）间之最小距离 X 如下表:

相对位置	1/16W 电阻	1/4W 电阻	跳线
	X=2.83	X=2.83	X=2.83
	X=2.5	X=2.5	X=2.5
	X=3.0	X=3.2	X=3.0
	X=3.2	X=3.4	X=3.2

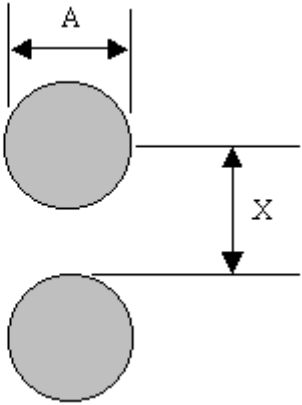
5.37 直插元件只适用于外围尺寸或直径不大于 10.5MM 之元件。 5.38 直插元件孔之中心相距为 2.5MM 或 5.0MM. 5.39 电插板直插元件间之最小间隙要符合下图 X 及 Y 的要求:

左右放置




A	B	X	Y
$A < 9.2$	$B \leq 5.0$	不适用	8.0
$A < 9.2$	$5 < B < 10.5 < p >$	5.5	不适用
$9.2 < A < 10.5 < p >$	$B \leq 5.0$	不适用	$A/2 + 3.4$
$9.2 < A < 10.5 < p >$	$5 < B < 10.5 < p >$	$A/2 + 0.9$	不适用


上下放置



A	X
$A < 6.35$	3.8
$6.35 \leq A \leq 10.5$	$A/2 + 0.625$

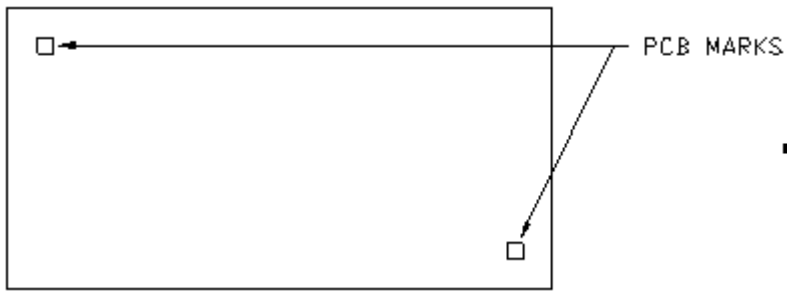
5.40 测试焊盘：测试焊盘以  $\Phi 2.0\text{MM}$  为标准，最小要  $\Phi 1.3\text{mm}$ 。开模后的测试焊盘不能移动，非不得已事先要与生产部门商量。 5.41 当无维护文

件时,PCB 板上的保险管、保险电阻、交流 220V 的滤波电容、变压器等元件位置附近,面丝印上应有  符号及该元件的标称值。 5.42 交流 220V 电源部分的火线与中线在铜箔安全距离不小于 3.0MM,交流 220V 线中任一 PCB 线或可触及点距离低压零件及壳体之间距应大于 6MM,并且要加上

 符号,符号下方应有“HIGH VOLTAGE DANGER”字符,强电与弱电间应用粗的丝印线分开,以警告维修人员该处为高压部分,要小心操作。

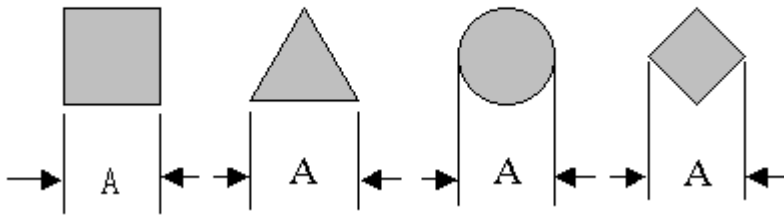
### PCB 设计指引（3）

5.43 在用贴片元件的 PCB 板上，为了提高贴片元件的贴装准确性，PCB 板上必须设有校正标记（MARKS），且每一块板最少要两个标记，分别设于 PCB 的一组对角上，如下图：



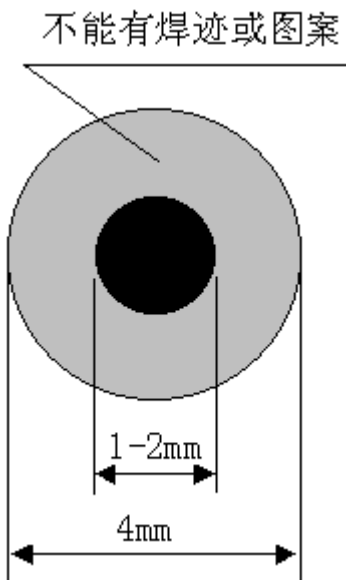
5.44 一般标记的形状有:

正方形      三角形      圆 形      棱 形

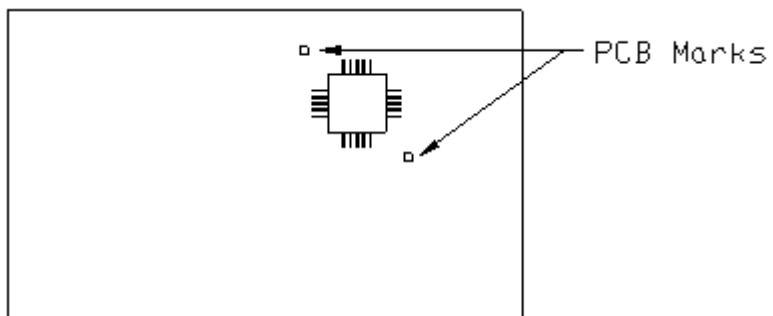


$$A = (0.5 \sim 1.0\text{mm}) \pm 10\%$$

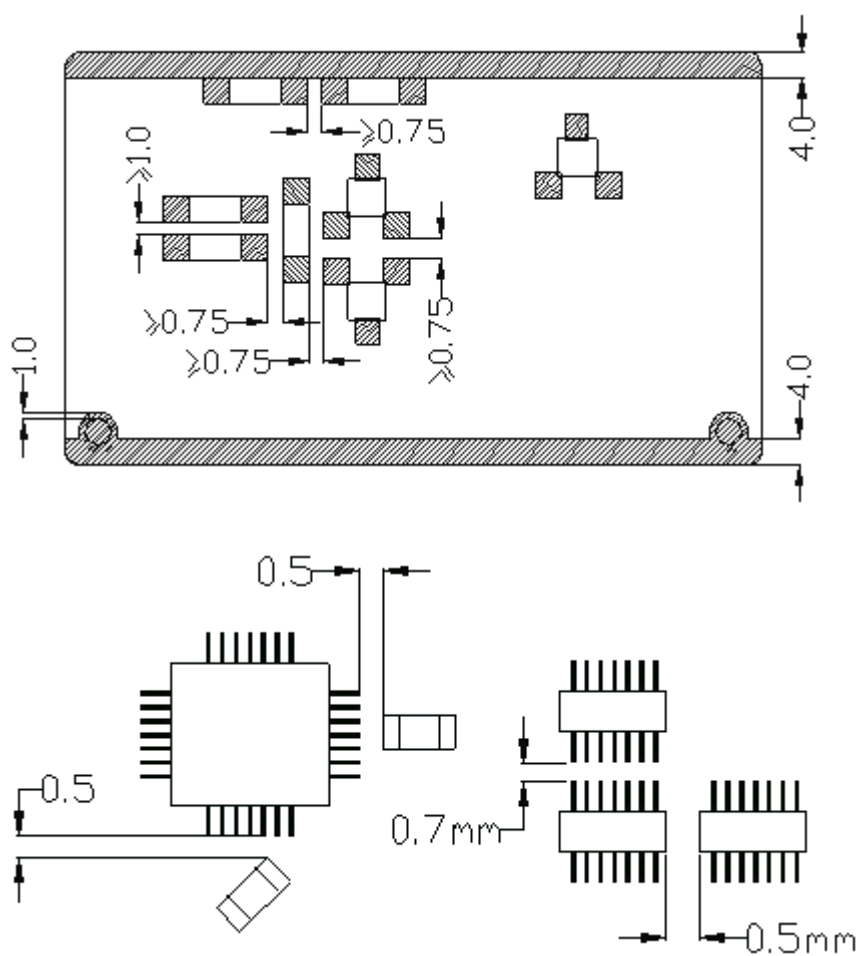
5.45 最常用的标记为正方形和圆形，标记部的铜箔或焊锡从标记中心方形的 5mm 范围内应无焊迹或图案；标记部的铜箔或焊锡从标记中心圆形的 4mm 范围内应无焊迹或图案。如下图：



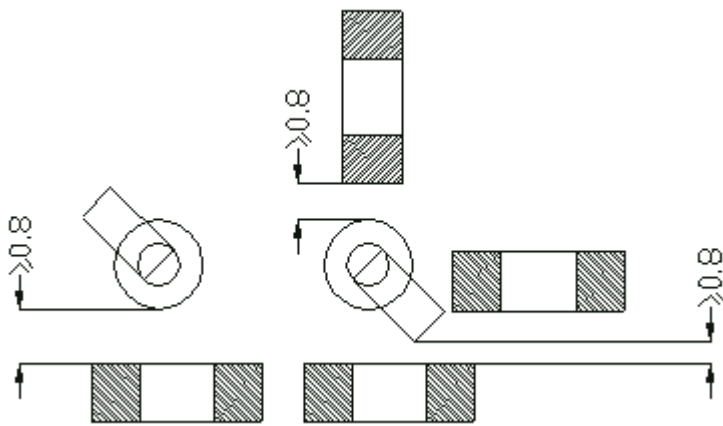
5.46 对于 IC(QFP) 等当引脚间距小于 0.8mm 时, 要求在零件的单位对角加两个标记, 作为该零件的校正标记, 如下图所示:



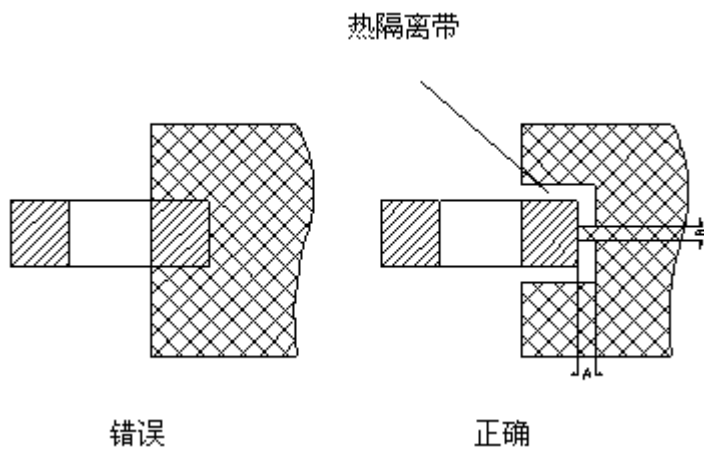
5.47 在一块板上有相同的多块板时，只要指定一个电路的标记或零件的标准标记后，其它电路也可以自动地移动识别标记，但是其它的电路有 180 角度（调头配置）时标记只限用圆形（实心或空心）。 5.48 贴片元件的间距：



5.49 贴片元件与电插元件脚之间的距离，如图：



5.50 SMD 器件的引脚与大面积焊箔连接时, 要进行热隔离处理, 如下图:



其中 A 满足 5.2 的要求, B 最小满足 5.1 的要求, 最大不超过焊盘宽度的三分之一。

# 高速 PCB 设计指引(一)

在 PCB 设计中, 布线是完成产品设计的重要步骤, 可以说前面的准备工作都是为它而做的, 在整个 PCB 中, 以布线的设计过程限定最高, 技巧最细、工作量最大。PCB 布线有单面布线、 双面布线及多层布线。布线时要注意输入端与输出端的连线, 应避免相邻平行, 以免产生反射干扰。必要时应加地线隔离, 两相邻层的布线要互相垂直, 平行容易产生寄生耦合。 PCB 板的设计过程是一个复杂的过程, 要想很好地掌握它, 还需广大电子工程设计人员去自己体会, 才能得到其中的真谛。

## 一、电源、地线的处理

既使在整个 PCB 板中的布线完成得都很好, 但由于电源、 地线的考虑不周到而引起的干扰, 会使产品的性能下降, 有时甚至影响到产品的成功率。所以对电、地线的布线要认真对待, 把电、地线所产生的噪音干扰降到最低限度, 以保证产品的质量。对每个从事电子产品设计的工程人员来说都明白地线与电源线之间噪音所产生的原因, 现只对降低式抑制噪音作以表述:

- (1) 加上去耦电容。
- (2) A、加宽电源、地线; B、数字电路的地用网状连接, 模拟电路的地则一点连接。
- (3) 做成多层板, 使用电源, 地线平面层。

## 二、数字电路与模拟电路的共地处理

现在有许多 PCB 不再是单一功能电路(数字或模拟电路), 而是由数字电路和模拟电路混合构成的。因此在布线时就需要考虑它们之间互相干扰问题, 特别是地线上的噪音干扰。

数字电路的频率高, 模拟电路的敏感度强, 对信号线来说, 高频的信号线尽可能远离敏感的模拟电路器件, 对地线来说, 整个 PCB 对外界只有一个结点, 所以必须在 PCB 内部进行处理数、模共地的问题, 而在板内部数字地和模拟地实际上是分开的它们之间互不相连, 只是在 PCB 与外界连

接的接口处（如插头等）。数字地与模拟地有一点短接，请注意，只有一个连接点。也有在 PCB 上不共地的，这由系统设计来决定。从表面上看，这样做是比较合理，然而在实际的电路中，数字电路和模拟电路并没有绝对的分开，对于这种情况就不能这样简单的处理了。

### 三、信号线布在电（地）层上（不建议这样做）

在多层印制板布线时，由于在信号线层没有布完的线剩下已经不多，再加层数就会造成浪费也会给生产增加一定的工作量，成本也相应增加了，为解决这个矛盾，可以考虑在电（地）层上进行布线。首先应考虑用电源层，其次才是地层。因为最好是保留地层的完整性。

### 四、大面积导体中连接腿的处理

在大面积的接地（电）中，常用元器件的腿与其连接，对连接腿的处理需要进行综合的考虑，就电气性能而言，元件腿的焊盘与铜面满接为好，但对元件的焊接装配就存在一些不良隐患如：①焊接需要大功率加热器。②容易造成虚焊点。所以兼顾电气性能与工艺需要，做成十字花焊盘，称之为热隔离（heat shield）俗称热焊盘（Thermal），这样，可使在焊接时因截面过分散热而产生虚焊点的可能性大大减少。多层板的接电（地）层腿的处理相同。

### 五、布线中网络系统的作用

在许多 CAD 系统中，布线是依据网络系统决定的。网格过密，通路虽然有所增加，但步进太小，图场的数据量过大，这必然对设备的存储空间有更高的要求，同时也对象计算机类电子产品的运算速度有极大的影响。而有些通路是无效的，如被元件腿的焊盘占用的或被安装孔、定们孔所占用的等。网格过疏，通路太少对布通率的影响极大。所以要有个疏密合理的网格系统来支持布线的进行。标准元器件两腿之间的距离为 0.1 英寸 (2.54mm)，所以网格系统的基础一般就定为 0.1 英寸 (2.54 mm) 或小于 0.1 英寸的整倍数，如：0.05 英寸、0.025 英寸、0.02 英寸等。

### 六、设计规则检查（DRC）

布线设计完成后，需认真检查布线设计是否符合设计者所制定的规则，同时也需确认所制定的规则是否符合印制板生产工艺的需求，一般检查有如下几个方面：

- （1）线与线，线与元件焊盘，线与贯通孔，元件焊盘与贯通孔，贯通孔与贯通孔之间的距离是否合理，是否满足生产要求。
- （2）电源线和地线的宽度是否合适，电源与地线之间是否紧耦合（低的波阻抗）？在 PCB 中是否还有能让地线加宽的地方。
- （3）对于关键的信号线是否采取了最佳措施，如长度最短，加保护线，输入线及输出线被明显地分开。
- （4）模拟电路和数字电路部分，是否有各自独立的地线。
- （5）后加在 PCB 中的图形（如图标、注标）是否会造成信号短路。
- （6）在 PCB 上是否加有工艺线？阻焊是否符合生产工艺的要求，阻焊尺寸是否合适，字符标志是否压在器件焊盘上，以免影响电装质量。
- （7）多层板中的电源地层的外框边缘是否缩小，如电源地层的铜箔露出板外容易造成短路。

## 第二篇 PCB 布局

在设计中，布局是一个重要的环节。布局结果的好坏将直接影响布线的效果，因此可以这样认为：合理的布局是 PCB 设计成功的第一步。

在布局时可根据走线的情况对门电路进行再分配，将两个门电路进行交换，使其成为便于布线的最佳布局。在布局完成后，还可对设计文件及有关信息进行返回标注于原理图，使得 PCB 板中的有关信息与原理图相一致，以便在今后的建档、更改设计能同步起来，同时对模拟的有关信息进行更新，使得能对电路的电气性能及功能进行板级验证。

### 一考虑整体美观

一个产品的成功与否，一是要注重内在质量，二是兼顾整体的美观，两者都较完美才能认为该产品是成功的。在一个 PCB 板上，元件的布局要求要均衡，疏密有序，不能头重脚轻或一头沉。

### 一布局的检查

印制板尺寸是否与加工图纸尺寸相符？能否符合 PCB 制造工艺要求？有无定位标记？

元件在二维、三维空间上有无冲突？

元件布局是否疏密有序，排列整齐？是否全部布完？

需经常更换的元件能否方便的更换？插件板插入设备是否方便？

热敏元件与发热元件之间是否有适当的距离？

调整可调元件是否方便？

在需要散热的地方，装了散热器没有？空气流是否通畅？

信号流程是否顺畅且互连最短？

插头、插座等与机械设计是否矛盾？

线路的干扰问题是否有所考虑？

## 高速 PCB 设计指引（二）

### （一）、电子系统设计所面临的挑战

随着系统设计复杂性和集成度的大规模提高，电子系统设计师们正在从事 100MHz 以上的电路设计，总线的工作频率也已经达到或者超过 50MHz，有的甚至超过 100MHz。目前约 50% 的设计的时钟频率超过 50MHz，将近 20% 的设计主频超过 120MHz。

当系统工作在 50MHz 时，将产生传输线效应和信号的完整性问题；而当系统时钟达到 120MHz 时，除非使用高速电路设计知识，否则基于传统方法设计的 PCB 将无法工作。因此，高速电路设计技术已经成为电子系统设计师必须采取的设计手段。只有通过使用高速电路设计师的设计技术，才能实现设计过程的可控性。

### （二）、什么是高速电路

通常认为如果数字逻辑电路的频率达到或者超过 45MHz~50MHz，而且工作在这个频率之上的电路已经占到了整个电子系统一定的份量（比如说  $1/3$ ），就称为高速电路。

实际上，信号边沿的谐波频率比信号本身的频率高，是信号快速变化的上升沿与下降沿（或称信号的跳变）引发了信号传输的非预期结果。因此，通常约定如果线传播延时大于  $1/2$  数字信号驱动端的上升时间，则认为此类信号是高速信号并产生传输线效应。

信号的传递发生在信号状态改变的瞬间，如上升或下降时间。信号从驱动端到接收端经过一段固定的时间，如果传输时间小于  $1/2$  的上升或下降时间，那么来自接收端的反射信号将在信号改变状态之前到达驱动端。反之，反射信号将在信号改变状态之后到达驱动端。如果反射信号很强，叠加的波形就有可能改变逻辑状态。

### （三）、高速信号的确定

上面我们定义了传输线效应发生的前提条件，但是如何得知线延时是否大于  $1/2$  驱动端的信号上升时间？一般地，信号上升时间的典型值可通过器件手册给出，而信号的传播时间在 PCB 设计中由实际布线长度决定。下图为信号上升时间和允许的布线长度(延时)的对应关系。

PCB 板上每单位英寸的延时为 0.167ns。但是，如果过孔多，器件管脚多，网线上设置的约束多，延时将增大。通常高速逻辑器件的信号上升时间大约为 0.2ns。如果板上有 GaAs 芯片，则最大布线长度为 7.62mm。

设  $T_r$  为信号上升时间， $T_{pd}$  为信号线传播延时。如果  $T_r \geq 4T_{pd}$ ，信号落在安全区域。如果  $2T_{pd} \geq T_r \geq 4T_{pd}$ ，信号落在不确定区域。如果  $T_r \leq 2T_{pd}$ ，信号落在问题区域。对于落在不确定区域及问题区域的信号，应该使用高速布线方法。

#### （四）、什么是传输线

PCB 板上的走线可等效为下图所示的串联和并联的电容、电阻和电感结构。串联电阻的典型值 0.25–0.55 ohms/foot，因为绝缘层的缘故，并联电阻阻值通常很高。将寄生电阻、电容和电感加到实际的 PCB 连线中之后，连线上的最终阻抗称为特征阻抗  $Z_0$ 。线径越宽，距电源/地越近，或隔离层的介电常数越高，特征阻抗就越小。如果传输线和接收端的阻抗不匹配，那么输出的电流信号和信号最终的稳定状态将不同，这就引起信号在接收端产生反射，这个反射信号将传回信号发射端并再次反射回来。随着能量的减弱反射信号的幅度将减小，直到信号的电压和电流达到稳定。这种效应被称为振荡，信号的振荡在信号的上升沿和下降沿经常可以看到。

#### （五）、传输线效应

基于上述定义的传输线模型，归纳起来，传输线会对整个电路设计带来以下效应。

## PCB 布线设计（一）

在当今激烈竞争的电池供电市场中，由于成本指标限制，设计人员常常使用双面板。尽管多层板(4 层、6 层及 8 层)方案在尺寸、噪声和性能方面具有明显优势，成本压力却促使工程师们重新考虑其布线策略，采用双面板。在本文中，我们将讨论自动布线功能的正确使用和错误使用，有无地平面时电流回路的设计策略，以及对双面板元件布局的建议。

#### 自动布线的优缺点以及模拟电路布线的注意事项

设计 PCB 时，往往很想使用自动布线。通常，纯数字的电路板(尤其信号电平比较低，电路密度比较小时)采用自动布线是没有问题的。但是，在设计模拟、混合信号或高速电路板时，如果采用布线软件的自动布线工具，可能会出现一些问题，甚至很可能带来严重的电路性能问题。

例如，图 1 中显示了一个采用自动布线设计的双面板的顶层。此双面板的底层如图 2 所示，这些布线层的电路原理图如图 3a 和图 3b 所示。设计此混合信号电路板时，经仔细考虑，将器件手工放在板上，以便将数字和模拟器件分开放置。

采用这种布线方案时，有几个方面需要注意，但最麻烦的是接地。如果在顶层布地线，则顶层的器件都通过走线接地。器件还在底层接地，顶层和底层的地线通过电路板最右侧的过孔连接。当检查这种布线策略时，首先发现的弊端是存在多个地环路。另外，还会发现底层的地线返回路径被水平信号线隔断了。这种接地方案的可取之处是，模拟器件(12 位 A/D 转换器 [MCP3202](#) 和 [2.5V](#) 参考电压源 MCP4125)放在电路板的最右侧，这种布局确保了这些模拟芯片下面不会有数字地信号经过。

图 3a 和图 3b 所示电路的手工布线如图 4、图 5 所示。在手工布线时，为确保正确实现电路，需要遵循一些通用的设计准则：尽量采用地平面作为电流回路；将模拟地平面和数字地平面分开；如果地平面被信号走线隔断，为降低对地电流回路的干扰，应使信号走线与地平面垂直；模拟电路尽量靠近电路板边缘放置，数字电路尽量靠近电源连接端放置，这样做可以降低由数字开关引起的  $di/dt$  效应。

这两种双面板都在底层布有地平面，这种做法是为了方便工程师解决问题，使其可快速明了电路板的布线。厂商的演示板和评估板通常采用这种布线策略。但是，更为普遍的做法是将地平面布在电路板顶层，以降低电磁干扰。

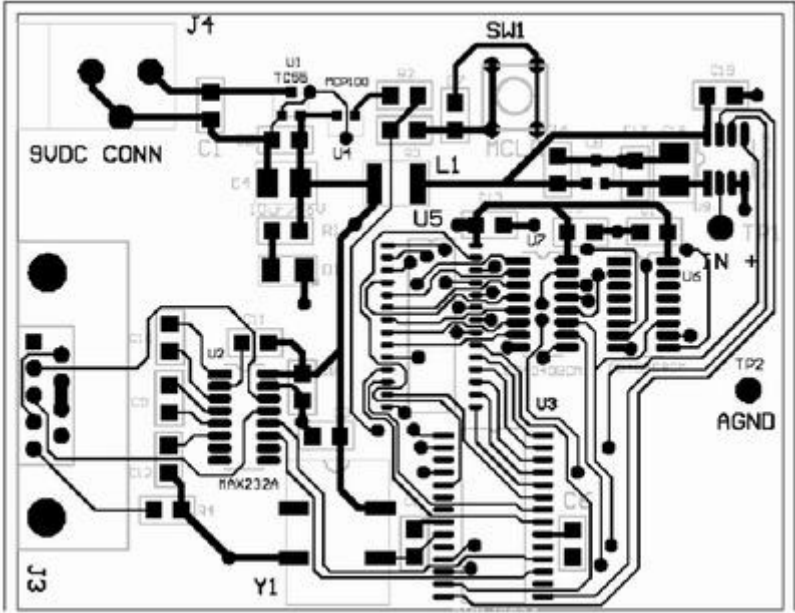


图 1 采用自动布线为图 3 所示电路原理图设计的电路板的顶层

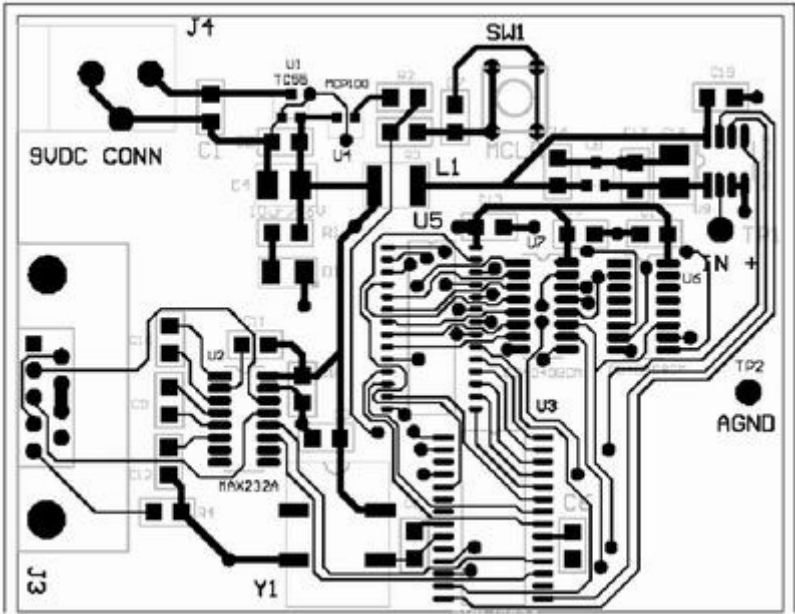


图 2 采用自动布线为图 3 所示电路原理图设计的电路板的底层

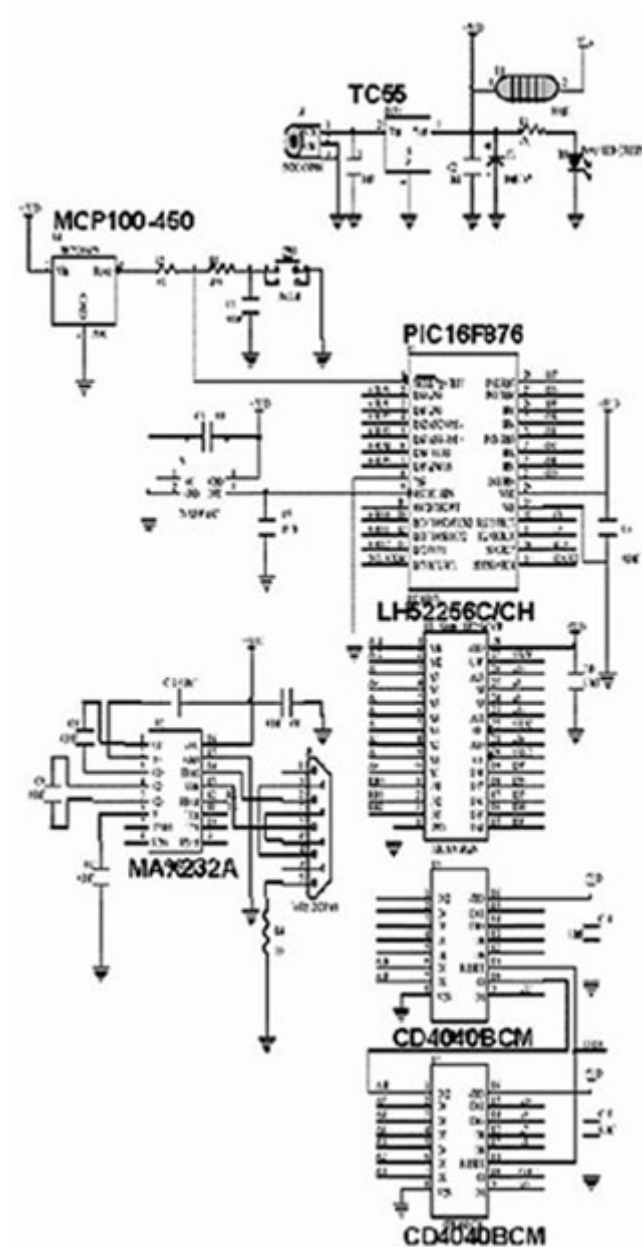


图 3a 图 1、图 2、图 4 和图 5 中布线的电路原理图

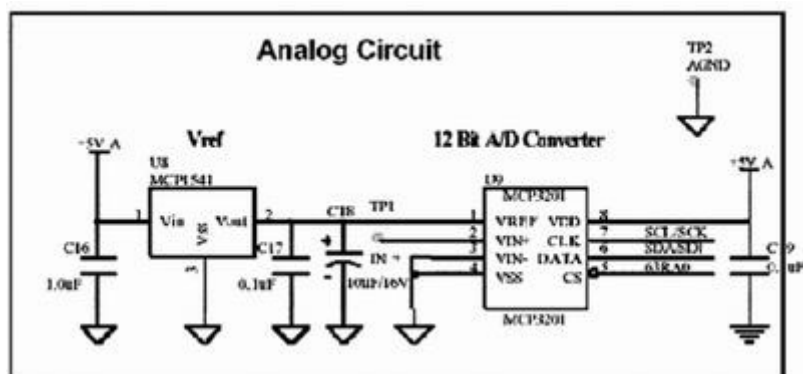


图 3b 图 1、图 2、图 4 和图 5 中布线的模拟部分电路原理图

有无地平面时的电流回路设计

对于电流回路，需要注意如下基本事项：

1. 如果使用走线，应将其尽量加粗

PCB 上的接地连接如要考虑走线时，设计应将走线尽量加粗。这是一个好的经验法则，但要知道，接地线的最小宽度是从此点到末端的有效宽度，此处“末端”指距离电源连接端最远的点。

2. 应避免地环路

3. 如果不能采用地平面，应采用星形连接策略(见图 6)

通过这种方法，地电流独立返回电源连接端。图 6 中，注意到并非所有器件都有自己的回路，U1 和 U2 是共用回路的。如遵循以下第 4 条和第 5 条准则，是可以这样做的。

4. 数字电流不应流经模拟器件

数字器件开关时，回路中的数字电流相当大，但只是瞬时的，这种现象是由地线的有效感抗和阻抗引起的。对于地平面或接地走线的感抗部分，计算公式为  $V = L di/dt$ ，其中  $V$  是产生的电压， $L$  是地平面或接地走线的感抗， $di$  是数字器件的电流变化， $dt$  是持续时间。对地线阻抗部分的影响，其计算公式为  $V = RI$ ，其中， $V$  是产生的电压， $R$  是地平面或接地走线的阻抗， $I$  是由数字器件引起的电流变化。经过模拟器件的地平面或接地走线上的这些电压变化，将改变信号链中信号和地之间的关系(即信号的对地电压)。

5. 高速电流不应流经低速器件

与上述类似，高速电路的地返回信号也会造成地平面的电压发生变化。此干扰的计算公式和上述相同，对于地平面或接地走线的感抗， $V = L di/dt$ ；对于地平面或接地走线的阻抗， $V = RI$ 。与数字电流一样，高速电路的地平面或接地走线经过模拟器件时，地线上的电压变化会改变信号链中信号和地之间的关系。

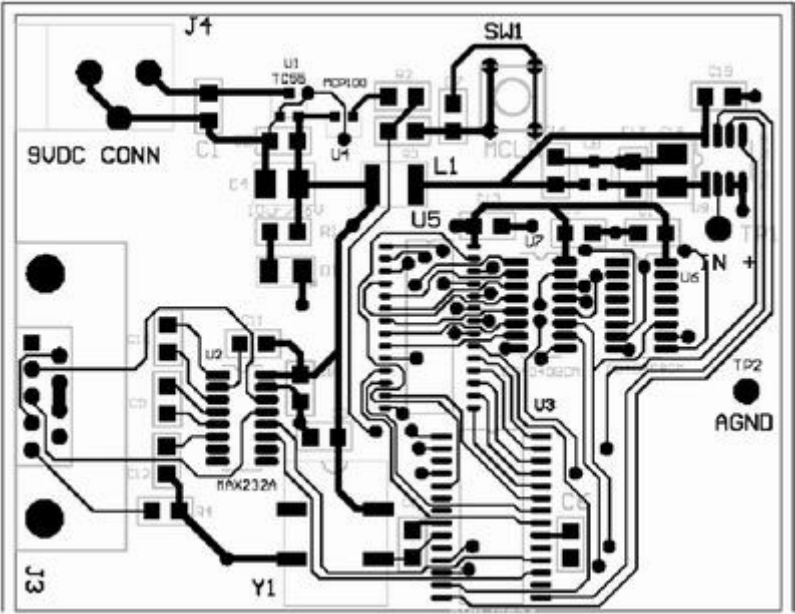


图 4 采用手工走线为图 3 所示电路原理图设计的电路板的顶层

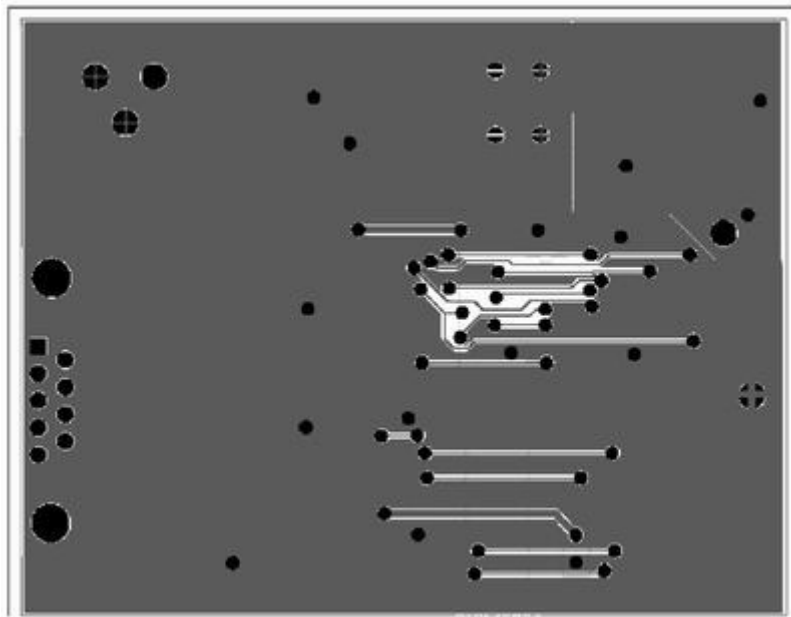


图 5 采用手工走线为图 3 所示电路原理图设计的电路板的底层

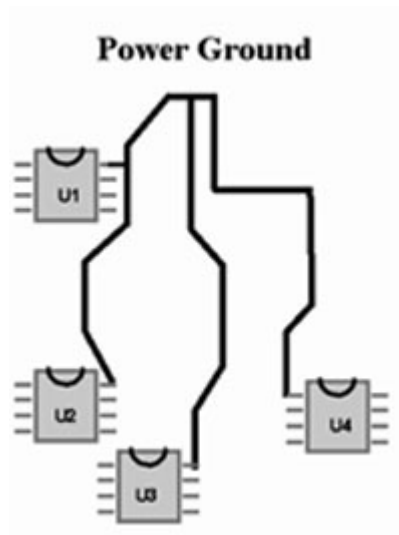


图 6 如果不能采用地平线，可以采用“星形”布线策略来处理电流回路

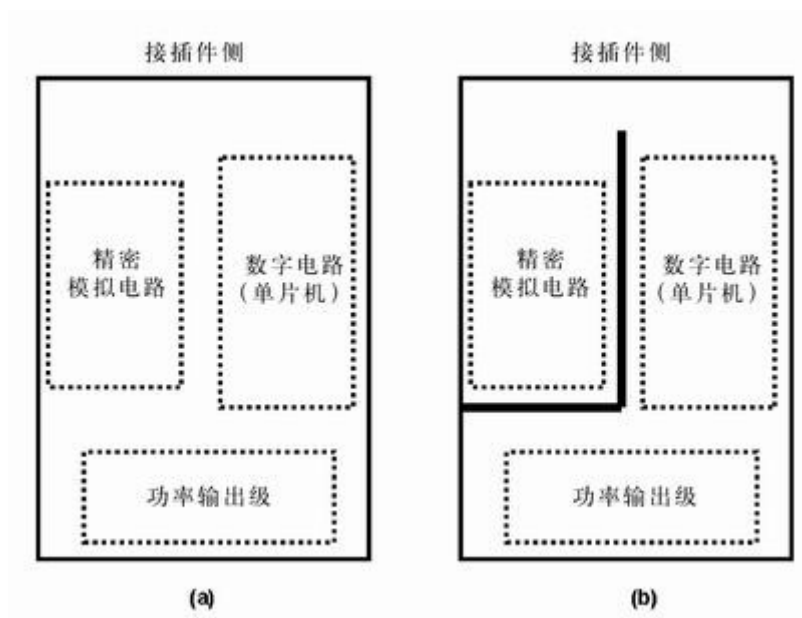


图 7 分隔开的地平面有时比连续的地平面有效，图 b) 接地布线策略比图 a) 的接地策略理想

6. 不管使用何种技术，接地回路必须设计为最小阻抗和容抗
7. 如使用地平面，分隔开地平面可能改善或降低电路性能，因此要谨慎使用

分开模拟和数字地平面的有效方法如图 7 所示

图 7 中，精密模拟电路更靠近接插件，但是与数字网络和电源电路的开关电流隔离开了。这是分隔开接地回路的非常有效的方法，我们在前面讨论的图 4 和图 5 的布线也采用了这种技术。

## PCB 布线设计（二）

工程领域中的数字设计人员和数字电路板设计专家在不断增加，这反映了行业的发展趋势。尽管对数字设计的重视带来了电子产品的重大发展，但仍然存在，而且还会一直存在一部分与模拟或现实环境接口的电路设计。模拟和数字领域的布线策略有一些类似之处，但要获得更好的结果时，由于其布线策略不同，简单电路布线设计就不再是最优方案了。本文就旁路电容、电源、地线设计、电压误差和由 PCB 布线引起的电磁干扰(EMI)等几个方面，讨论模拟和数字布线的基本相似之处及差别。

### 模拟和数字布线策略的相似之处

#### 旁路或去耦电容

在布线时，模拟器件和数字器件都需要这些类型的电容，都需要靠近其电源引脚连接一个电容，此电容值通常为 0.1mF。系统供电电源侧需要另一类电容，通常此电容值大约为 10MF。

这些电容的位置如图 1 所示。电容取值范围为推荐值的 1/10 至 10 倍之间。但引脚须较短，且要尽量靠近器件(对于 0.1mF 电容)或供电电源(对于 10MF 电容)。

在电路板上加旁路或去耦电容，以及这些电容在板上的位置，对于数字和模拟设计来说都属于常识。但有趣的是，其原因却有所不同。在模拟布线设计中，旁路电容通常用于旁路电源上的高频信号，如果不加旁路电容，这些高频信号可能通过电源引脚进入敏感的模拟芯片。一般来说，这些高频信号的频率超出模拟器件抑制高频信号的能力。如果在模拟电路中不使用旁路电容的话，就可能在信号路径上引入噪声，更严重的情况甚至会引引起振动。

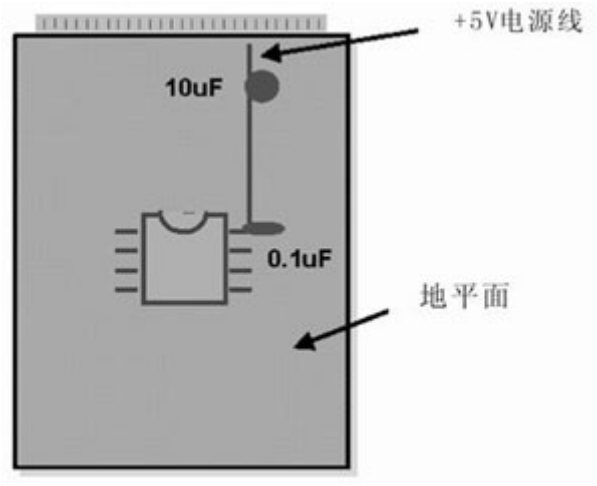


图 1 在模拟和数字 PCB 设计中，旁路或去耦电容(1mF)应尽量靠近器件放置。供电电源去耦电容(10MF)应放置在电路板的电源线入口处。所有情况下，这些电容的引脚都应较短

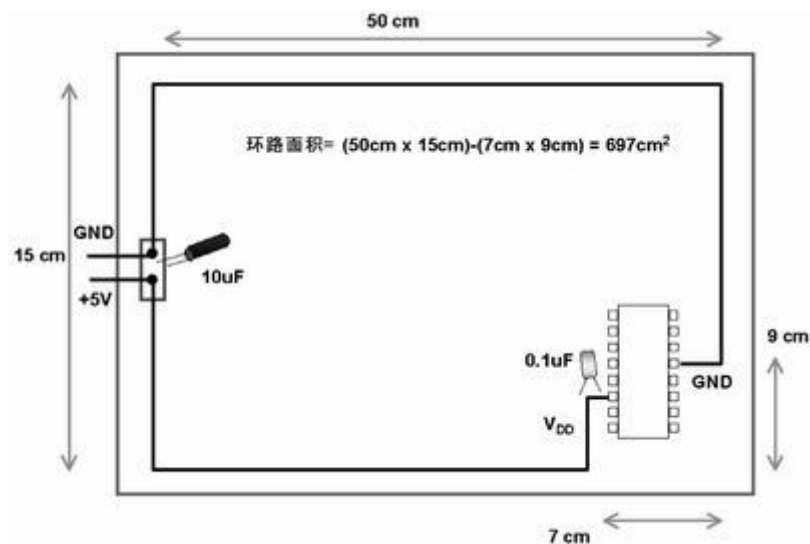


图 2 在此电路板上，使用不同的路线来布电源线和地线，由于这种不恰当的配合，电路板的电子元件和线路受电磁干扰的可能性比较大

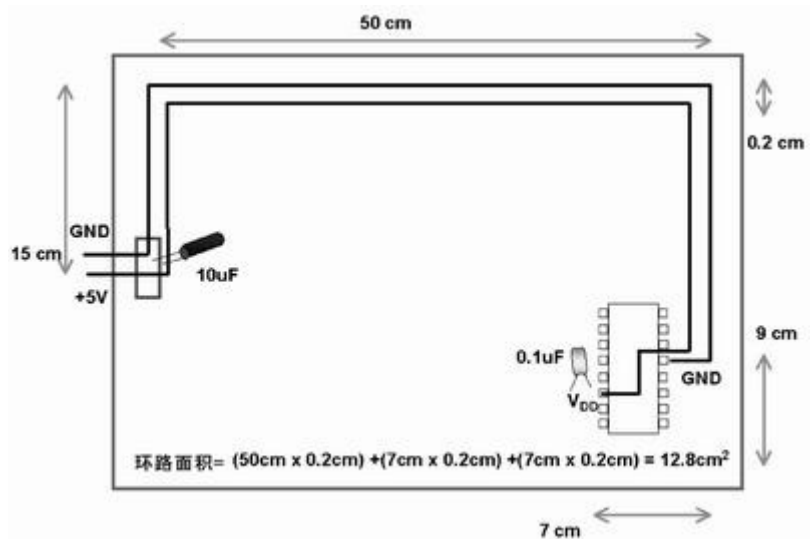


图 3 在此单面板中，到电路板上器件的电源线和地线彼此靠近。此电路板中电源线和地线的配合比图 2 中恰当。电路板中电子元器件和线路受电磁干扰 (EMI) 的可能性降低了 679/12.8 倍或约 54 倍

对于控制器和处理器这样的数字器件，同样需要去耦电容，但原因不同。这些电容的一个功能是用作“微型”电荷库。在数字电路中，执行门状态的切换通常需要很大的电流。由于开关时芯片上产生开关瞬态电流并流经电路板，有额外的“备用”电荷是有利的。如果执行开关动作时没有足够的电荷，会造成电源电压发生很大变化。电压变化太大，会导致数字信号电平进入不确定状态，并很可能引起数字器件中的状态机错误运行。流经电路板走线的开关电流将引起电压发生变化，电路板走线存在寄生电感，可采用如下公式计算电压的变化： $V = LdI/dt$

其中， $V$  = 电压的变化； $L$  = 电路板走线感抗； $dI$  = 流经走线的电流变化； $dt$  = 电流变化的时间。

因此，基于多种原因，在供电电源处或有源器件的电源引脚处施加旁路(或去耦)电容是较好的做法。

电源线和地线要布在一起

电源线和地线的位置良好配合，可以降低电磁干扰的可能性。如果电源线和地线配合不当，会设计出系统环路，并很可能会产生噪声。电源线和地线配合不当的 PCB 设计示例如图 2 所示。

此电路板上，设计出的环路面积为 697cm<sup>2</sup>。采用图 3 所示的方法，电路板上或电路板外的辐射噪声在环路中感应电压的可能性可大为降低。

模拟和数字领域布线策略的不同之处

地平面是个难题

电路板布线的基本知识既适用于模拟电路，也适用于数字电路。一个基本的经验准则是使用不间断的地平面，这一常识降低了数字电路中的  $dI/dt$  (电流随时间的变化) 效应，这一效应会改变地的电势并会使噪声进入模拟电路。数字和模拟电路的布线技巧基本相同，但有一点除外。对于模拟电路，还有另外一点需要注意，就是要将数字信号线和地平面中的回路尽量远离模拟电路。这一点可以通过如下做法来实现：将模拟地平面单独连接到系统地连接端，或者将模拟电路放置在电路板的最远端，也就是线路的末端。这样做是为了保持信号路径所受到的外部干扰最小。对于数字电路就不需要这样做，数字电路可容忍地平面上的大量噪声，而不会出现问题。

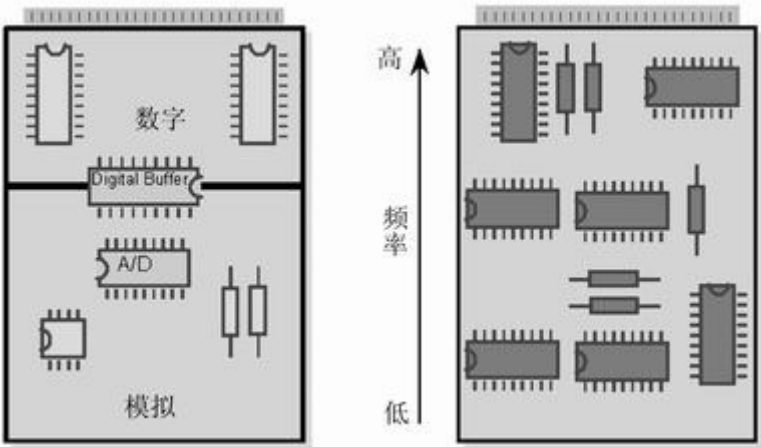


图 4 (左)将数字开关动作和模拟电路隔离，将电路的数字和模拟部分分开。(右)要尽可能将高频和低频分开，高频元件要靠近电路板的接插件

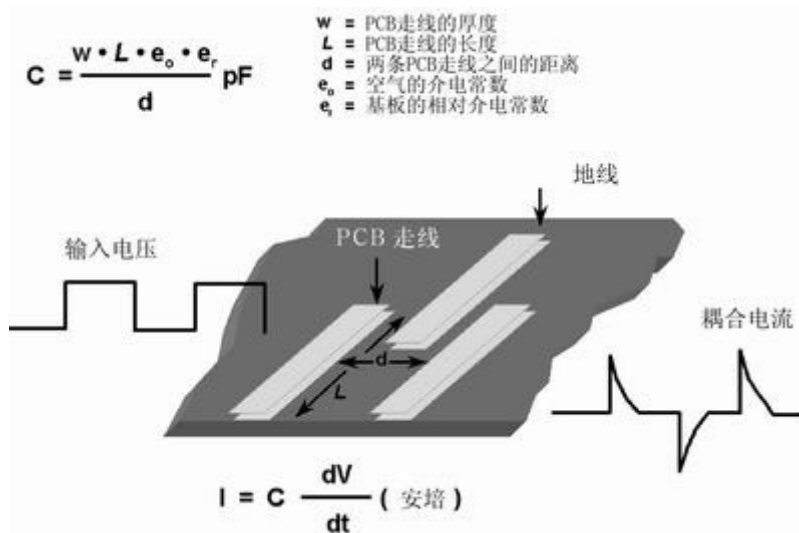


图 5 在 PCB 上布两条靠近的走线，很容易形成寄生电容。由于这种电容的存在，在一条走线上的快速电压变化，可在另一条走线上产生电流信号

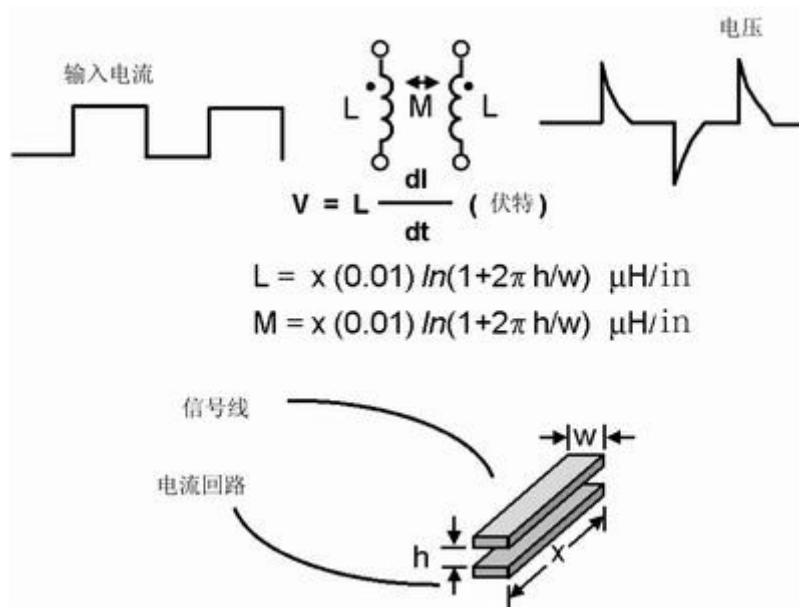


图 6 如果不注意走线的放置，PCB 中的走线可能产生线路感抗和互感。这种寄生电感对于包含数字开关电路的电路运行是非常有害的

## 元件的位置

如上所述，在每个 PCB 设计中，电路的噪声部分和“安静”部分(非噪声部分)要分隔开。一般来说，数字电路“富含”噪声，而且对噪声不敏感(因为数字电路有较大的电压噪声容限)；相反，模拟电路的电压噪声容限就小得多。两者之中，模拟电路对开关噪声最为敏感。在混合信号系统的布线中，这两种电路要分隔开，如图 4 所示。

## PCB 设计产生的寄生元件

PCB 设计中很容易形成可能产生问题的两种基本寄生元件：寄生电容和寄生电感。设计电路板时，放置两条彼此靠近的走线就会产生寄生电容。可以这样做：在不同的两层，将一条走线放置在另一条走线的上方；或者在同一层，将一条走线放置在另一条走线的旁边，如图 5 所示。在这两种走线配置中，一条走线上电压随时间的变化( $dV/dt$ )可能在另一条走线上产生电流。如果另一条走线是高阻抗的，电场产生的电流将转化为电压。

快速电压瞬变最常发生在模拟信号设计的数字侧。如果发生快速电压瞬变的走线靠近高阻抗模拟走线，这种误差将严重影响模拟电路的精度。

在这种环境中，模拟电路有两个不利的方面：其噪声容限比数字电路低得多；高阻抗走线比较常见。

采用下述两种技术之一可以减少这种现象。最常用的技术是根据电容的方程，改变走线之间的尺寸。要改变的最有效尺寸是两条走线之间的距离。应该注意，变量 d 在电容方程的分母中，d 增加，容抗会降低。可改变的另一个变量是两条走线的长度。在这种情况下，长度 L 降低，两条走线之间的容抗也会降低。

另一种技术是在这两条走线之间布地线。地线是低阻抗的，而且添加这样的另外一条走线将削弱产生干扰的电场，如图 5 所示。

电路板中寄生电感产生的原理与寄生电容形成的原理类似。也是布两条走线，在不同的两层，将一条走线放置在另一条走线的上方；或者在同一层，将一条走线放置在另一条的旁边，如图 6 所示。在这两种走线配置中，一条走线上电流随时间的变化 (dI/dt)，由于这条走线的感抗，会在同一条走线上产生电压；并由于互感的存在，会在另一条走线上产生成比例的电流。如果在第一条走线上的电压变化足够大，干扰可能会降低数字电路的电压容限而产生误差。并不只是在数字电路中才会发生这种现象，但这种现象在数字电路中比较常见，因为数字电路中存在较大的瞬时开关电流。

为消除电磁干扰源的潜在噪声，最好将“安静”的模拟线路和噪声 I/O 端口分开。要设法实现低阻抗的电源和地网络，应尽量减小数字电路导线的感抗，尽量降低模拟电路的电容耦合。

结语

数字和模拟范围确定后，谨慎地布线对获得成功的 PCB 至关重要。布线策略通常作为经验准则向大家介绍，因为很难在实验室环境中测试出产品的最终成功与否。因此，尽管数字和模拟电路的布线策略存在相似之处，还是要认识到并认真对待其布线策略的差别。

PCB 布线设计（三）

布线需要考虑的问题很多，但是最基本的的还是要做到周密，谨慎。

寄生元件危害最大的情况

印刷电路板布线产生的主要寄生元件包括：寄生电阻、寄生电容和寄生电感。例如：PCB 的寄生电阻由元件之间的走线形成；电路板上的走线、焊盘和平行走线会产生寄生电容；寄生电感的产生途径包括环路电感、互感和过孔。当将电路原理图转化为实际的 PCB 时，所有这些寄生元件都可能对电路的有效性产生干扰。本文将对最棘手的电路板寄生元件类型 — 寄生电容进行量化，并提供一个可清楚看到寄生电容对电路性能影响的示例。

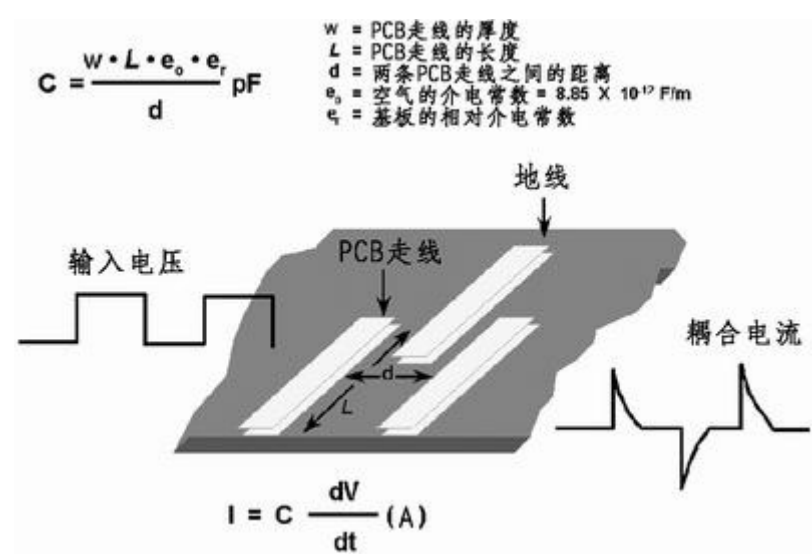


图 1 在 PCB 上布两条靠近的走线，很容易产生寄生电容。由于这种寄生电容的存在，在一条走线上的快速电压变化会在另一条走线上产生电流信号。

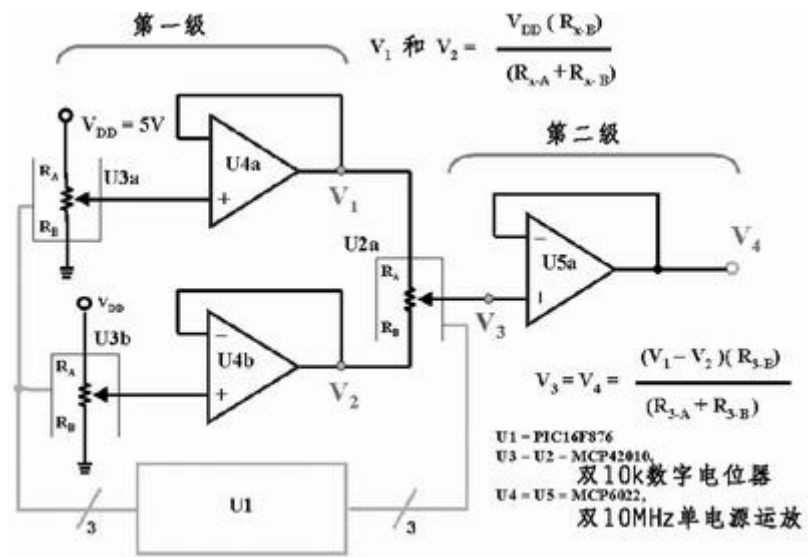


图 2 用三个 8 位数字电位器和三个放大器提供 65536 个差分输出电压，组成一个 16 位 D/A 转换器。如果系统中的 VDD 为 5V，那么此 D/A 转换器的分辨率或 LSB 大小为 76.3mV。

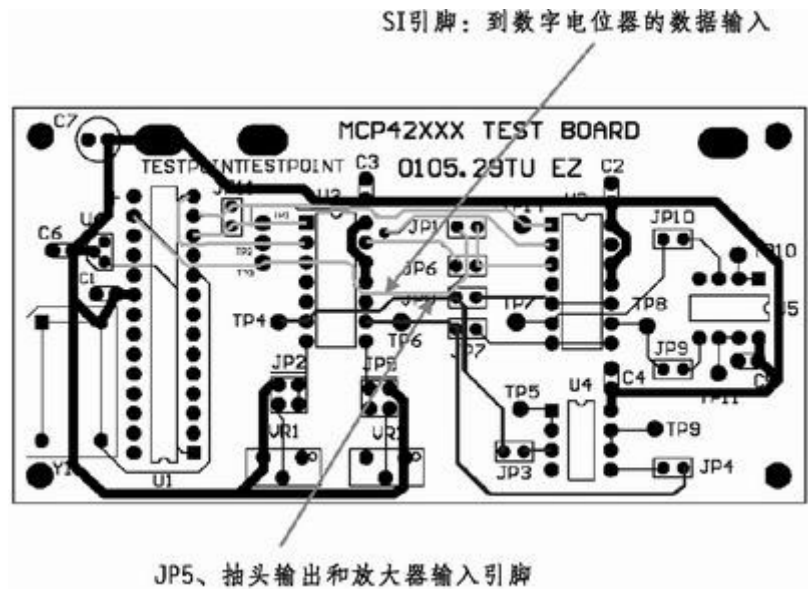


图 3 这是对图 2 所示电路的第一次布线尝试。此配置在模拟线路上产生不规律的噪声，这是因为在特定数字走线上的数据输入码随着数字电位器的编程需求而改变。

寄生电容的危害

大多数寄生电容都是靠近放置两条平行走线引起的。可以采用图 1 所示的公式来计算这种电容值。

在混合信号电路中，如果敏感的高阻抗模拟走线与数字走线距离较近，这种电容会产生问题。例如，图 2 中的电路就很可能存在这种问题。

为讲解图 2 所示电路的工作原理，采用三个 8 位数字电位器和三个 CMOS 运算放大器组成一个 16 位 D/A 转换器。在此图的左侧，在 VDD 和地之间跨接了两个数字电位器 (U3a 和 U3b)，其抽头输出连接到两个运放 (U4a 和 U4b) 的正相输入端。数字电位器 U2 和 U3 通过与单片机 (U1) 之间的 SPI 接口编程。在此配置中，每个数字电位器配置为 8 位乘法型 D/A 转换器。如果 VDD 为 5V，那么这些 D/A 转换器的 LSB 大小等于 19.61mV。

这两个数字电位器的抽头都分别连接到两个配置了缓冲器的运放的正相输入端。在此配置中，运放的输入端是高阻抗的，将数字电位器与电路其它部分隔离开了。这两个放大器配置为其输出摆幅限制不会超出第二级放大器的输入范围。

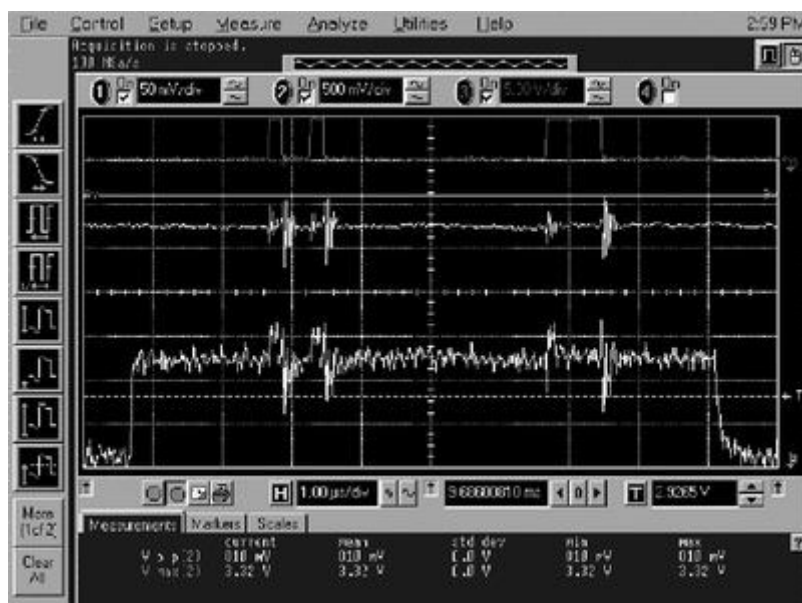


图 4 在此示波器照片中，最上面的波形取自 JP1(到数字电位器的数字码)，第二个波形取自 JP5(相邻模拟走线上的噪声)，最下面的波形取自 TP10(16 位 D/A 转换器输出端的噪声)。

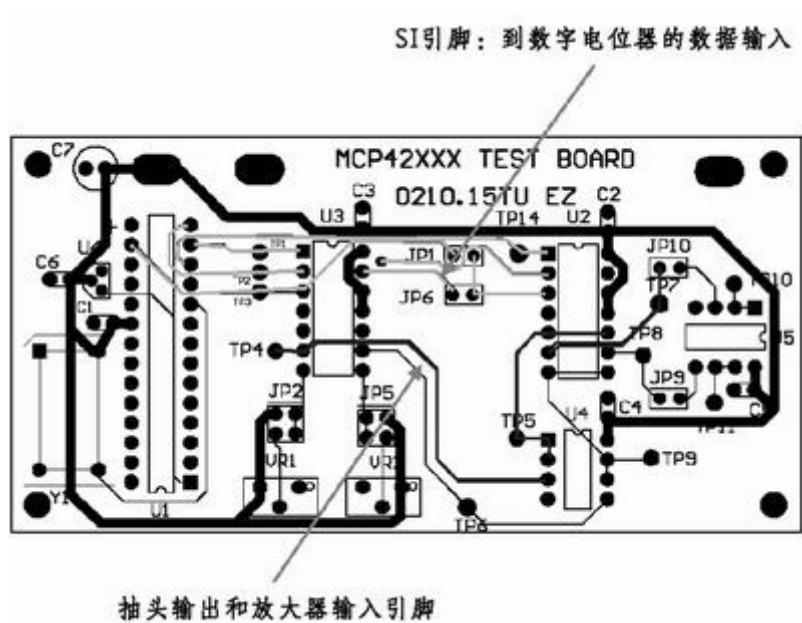


图 5 采用这种新的布线，将模拟线路和数字线路隔离开了。增大走线之间的距离，基本消除了在前面布线中造成干扰的数字噪声。

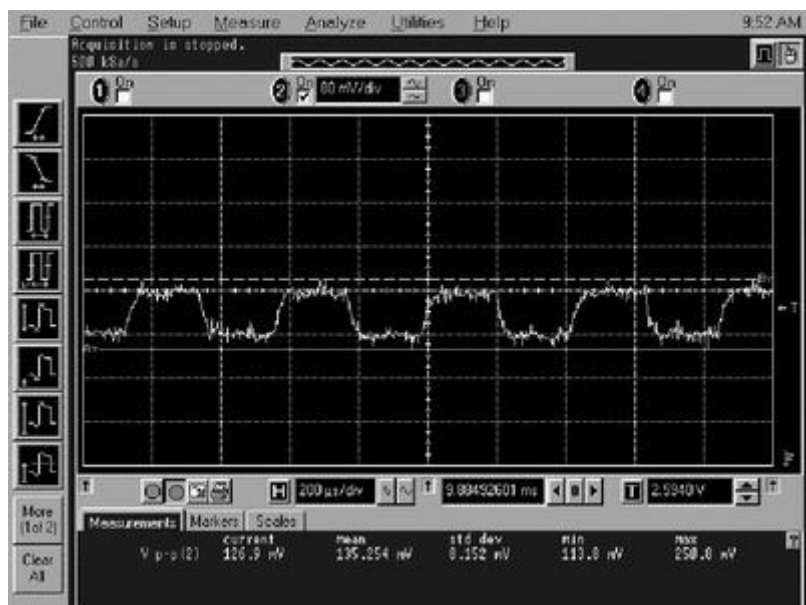


图 6 图中示出了采用新布线的 16 位 D/A 转换器的单个码转换结果，对数字电位器编程的数字信号没有造成数字噪声。

为使此电路具有 16 位 D/A 转换器的性能，采用第三个数字电位器 (U2a) 跨接在两个运放 (U4a 和 U4b) 的输出端之间。U3a 和 U3b 的编程设定经数字电位器后的电压值。如果 VDD 为 5V，可以将 U3a 和 U3b 的输出编程为相差 19.61mV。此电压大小经第三个 8 位数字电位器 R3，则自左至右整个电路的 LSB 大小为 76.3mV。此电路获得最优性能所需的严格器件规格如表 1 所示。

此电路有两种基本工作模式。第一种模式可用于获得可编程、可调节的直流差分电压。在此模式中，电路的数字部分只是偶尔使用，在正常工作时不使用。第二种模式是可以将此电路用作任意波形发生器。在此模式中，电路的数字部分是电路运行的必需部分。此模式中可能发生电容耦合的危险。

图 2 所示电路的第一次布线如图 3 所示。此电路是在实验室中快速设计出的，没有注意细节。在检查布线时，发现将数字走线布在了高阻抗模拟线路的旁边。需要强调的是，第一次就应该正确布线，本文的目的是为了讲解如何识别问题及如何对布线做重大改进。

看一下此布线中不同的走线，可以明显看到哪里可能存在问题。图中的模拟走线从 U3a 的抽头连接到 U4a 放大器的高阻抗输入端。图中的数字走线传送对数字电位器设置进行编程的数字码。

在测试板上经过测量，发现数字走线中的数字信号耦合到了敏感的模拟走线中，参见图 4。

系统对数字电位器编程的数字信号沿着走线逐渐传输到输出直流电压的模拟线路。此噪声通过电路的模拟部分一直传播到第三个数字电位器 (U5a)。第三个数字电位器在两个输出状态之间翻转。解决问题的方法主要是分隔开走线，图 5 示出了改进的布线方案。

改变布线的结果如图 6 所示。将模拟和数字走线仔细分开后，电路成为非常“干净”的 16 位 D/A 转换器。图中的波形是第三个数字电位器的单码转换结果 76.29mV。

## 结语

数字和模拟范围确定后，谨慎布线对获得成功的 PCB 是至关重要的。尤其是有源数字走线靠近高阻抗模拟走线时，会引起严重的耦合噪声，这只能通过增加走线之间的距离来避免。

# PCB 布线设计（四）

AD 转换器的精度和分辨率增加时使用的布线技巧。

最初，模数(A/D)转换器起源于模拟范例，其中物理硅的大部分是模拟。随着新的设计拓扑学发展，此范例演变为，在低速 A/D 转换器中数字占主要部分。尽管 A/D 转换器片内由模拟占主导转变为由数字占主导，PCB 的布线准则却没有改变。当布线设计人员设计混合信号电路时，为实现有效布线，仍需要关键的布线知识。本文将以逐次逼近型 A/D 转换器和  $\Sigma-\Delta$  型 A/D 转换器为例，探讨 A/D 转换器所需的 PCB 布线策略。

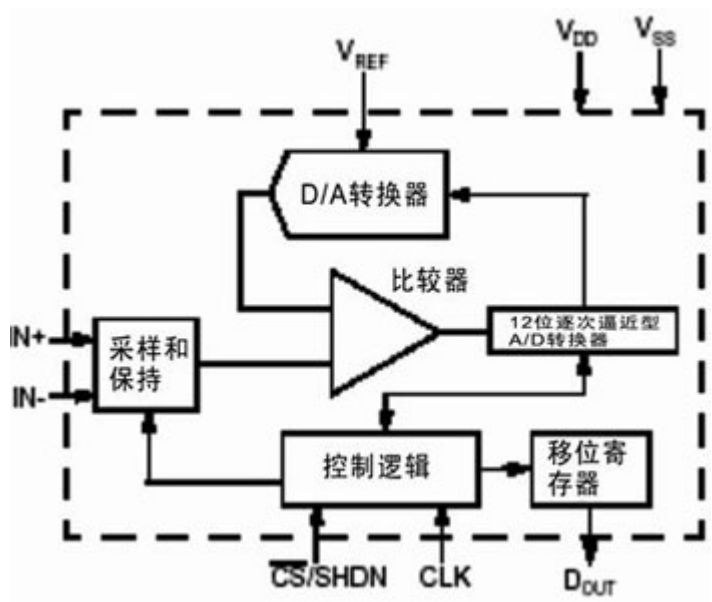


图 1. 12 位 CMOS 逐次逼近型 A/D 转换器的方框图。此转换器使用了由电容阵列形成的电荷分布。

逐次逼近型 A/D 转换器的布线

逐次逼近型 A/D 转换器有 8 位、10 位、12 位、16 位以及 18 位分辨率。最初，这些转换器的工艺和结构是带 R-2R 梯形电阻网络的双极型。但是最近，采用电容电荷分布拓扑将这些器件移植到了 CMOS 工艺。显然，这种移植并没有改变这些转换器的系统布线策略。除较高分辨率的器件外，基本的布线方法是一致的。对于这些器件，需要特别注意防止来自转换器串行或并行输出接口的数字反馈。

从电路和片内专用于不同领域的资源来看，模拟在逐次逼近型 A/D 转换器中占主导地位。图 1 是一个 12 位 CMOS 逐次逼近型 A/D 转换器的方框图。

此转换器使用了由电容阵列形成的电荷分布。

在此方框图中，采样/保持、比较器、数模转换器（DAC）的大部分以及 12 位逐次逼近型 A/D 转换器都是模拟的。电路的其余部分是数字的。因此，此转换器所需的大部分能量和电流都用于内部模拟电路。此器件需要很小的数字电流，只有 D/A 转换器和数字接口会发生少量开关。

这些类型的转换器可以有多个地和电源连接引脚。引脚名经常会引起误解，因为可用引脚标号区分模拟和数字连接。这些标号并非意在描述到 PCB 的系统连接，而是确定数字和模拟电流如何流出芯片。知道了此信息，并了解了片内消耗的主要资源是模拟的，就会明白在相同平面（如模拟平面）上连接电源和地引脚的意义。

例如，10 位和 12 位转换器典型样片的引脚配置如图 2 所示。

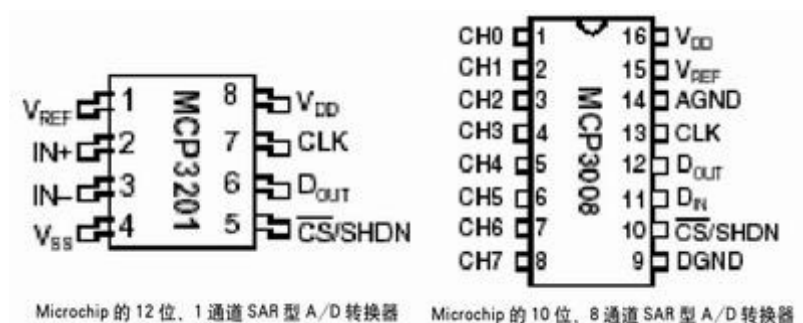


图 2. 逐次逼近型 A/D 转换器, 无论其分辨率是多少位, 通常至少有两个地连接端: AGND 和 DGND。此处以 MICROCHIP 的 A/D 转换器 MCP4008 和 MCP3001 为例。

图 2. 逐次逼近型 A/D 转换器, 无论其分辨率是多少位, 通常至少有两个地连接端: AGND 和 DGND。此处以 MICROCHIP 的 A/D 转换器 MCP4008 和 MCP3001 为例。

对于这些器件, 通常从芯片引出两个地引脚: AGND 和 DGND。电源有一个引出引脚。当使用这些芯片实现 PCB 布线时, AGND 和 DGND 应该连接到模拟地平面。模拟和数字电源引脚也应该连接到模拟电源平面或至少连接到模拟电源轨, 并且要尽可能靠近每个电源引脚连接适当的旁路电容。象 MCP3201 这样的器件, 只有一个接地引脚和一个正电源引脚, 其唯一的原因是由于封装引脚数的限制。然而, 隔离开地可增大转换器具有良好和可重复精度的可能性。

对于所有这些转换器, 电源策略应该是将所有的地、正电源和负电源引脚连接到模拟平面。而且, 与输入信号有关的 ‘COM’ 引脚或 ‘IN’ 引脚应该尽量靠近信号地连接。

对于更高分辨率的逐次逼近型 A/D 转换器 (16 位和 18 位转换器), 在将数字噪声与 “安静” 的模拟转换器和电源平面隔离开时, 需要另外稍加注意。当这些器件与单片机接口时, 应该使用外部的数字缓冲器, 以获得无噪声运行。尽管这些类型的逐次逼近型 A/D 转换器通常在数字输出侧有内部双缓冲器, 还是要使用外部缓冲器, 以进一步将转换器中的模拟电路与数字总线噪声隔离开。

这种系统的正确电源策略如图 3 所示。

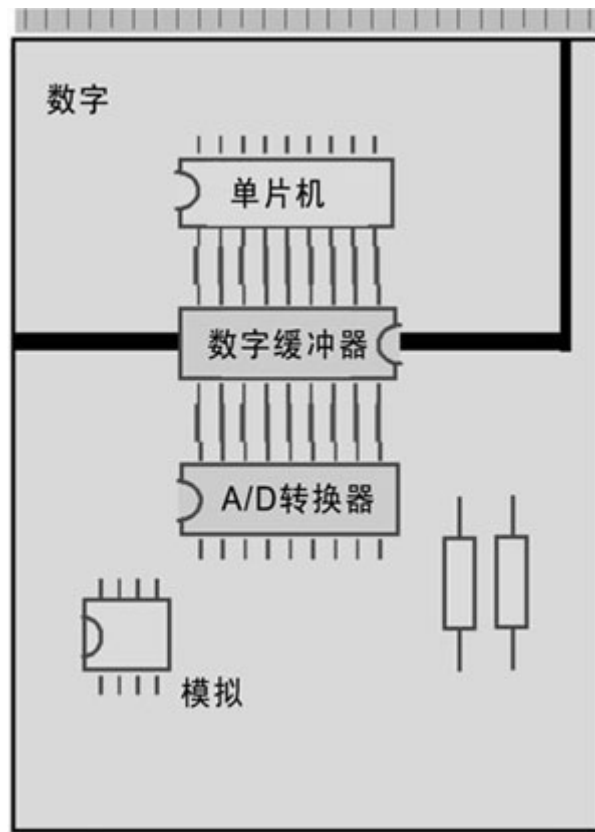


图 3. 对于高分辨率的逐次逼近型 A/D 转换器，转换器的电源和地应该连接到模拟平面。然后，A/D 转换器的数字输出应使用外部的三态输出缓冲器缓冲。这些缓冲器除了具有高驱动能力外，还具有隔离模拟和数字侧的作用。

图 3. 对于高分辨率的逐次逼近型 A/D 转换器，转换器的电源和地应该连接到模拟平面。然后，A/D 转换器的数字输出应使用外部的三态输出缓冲器缓冲。这些缓冲器除了具有高驱动能力外，还具有隔离模拟和数字侧的作用。

### 高精度 $\Sigma$ - $\Delta$ 型 A/D 转换器的布线策略

高精度 $\Sigma$ - $\Delta$ 型 A/D 转换器硅面积的主要部分是数字。早期生产这种转换器的时候，范例中的这种转变促使用户使用 PCB 平面将数字噪声和模拟噪声隔离开。与逐次逼近型 A/D 转换器一样，这些类型 A/D 转换器可能有多个模拟地、数字地和电源引脚。数字或模拟设计工程师一般都倾向于将这些引脚分开，分别连接到不同的平面。但是，这种倾向是错误的，尤其是当您试图解决 16 位到 24 位精度器件的严重噪声问题时。

对于有 10Hz 数据速率的高分辨率 $\Sigma$ - $\Delta$ 型 A/D 转换器，加在转换器上的时钟（内部或外部时钟）可能为 10MHZ 或 20MHZ。此高频率时钟用于开关调制器和运行过采样引擎。对于这些电路，与逐次逼近型 A/D 转换器一样，AGND 和 DGND 引脚也是在同一地平面上连接在一起。而且，模拟和数字电源引脚也最好在同一个平面上连接在一起。对模拟和数字电源平面的要求与高分辨率逐次逼近型 A/D 转换器相同。

必须要有地平面，这意味着至少需要双面板。在此双面板上，地平面至少要覆盖整个板面积的 75%。地平面层的用途是为了降低接地阻抗和感抗，并提供对电磁干扰（EMI）和射频干扰（RFI）的屏蔽作用。如果在电路板的地平面侧需要有内部连接走线，那么走线要尽可能短并与地电流回路垂直。

### 结论

对于低精度的 A/D 转换器，如六位、八位或甚至可能十位的 A/D 转换器，模拟和数字引脚不分开是可以的。但当您选择的转换器精度和分辨率增加时，布线要求也更严格了。高分辨率逐次逼近型 A/D 转换器和 $\Sigma$ - $\Delta$ 型 A/D 转换器，都需要直接连接到低噪声模拟地和电源平面。

## PCB 布线设计（五）

File Communication Device Channel Configuration View About

Stop Go Sample Mode Acquisition Waiting for Command Continuous Single Sample Speed 40000 Samples 4096 Sample Time 102.4 msec

### Scope Plot Display

Vertical Scale

Number of Codes

4

☐ Automatic Center on New Acquisition

Center on First Data Point

Center on Envelope

☐ Show Data points

Print Graph

Output Code

2558

2557

2556

2555

2554

100 200 300 400 500

Points

Horizontal Scale

☒ Points ☐ Time

50

Points/Div

Marker

Coordinates

X 12 Y 4046

ΔX 100000000 ΔY 10000000

F 0.0 Hz

Device: (none) Cases Port: (none) Channel: (none) Mode: Single Ended

图 2 来自于 12 位 A/D 转换器 MCP3201 的数据的时域表示, 产生了有趣的周期信号。此信号源可追溯到电源。

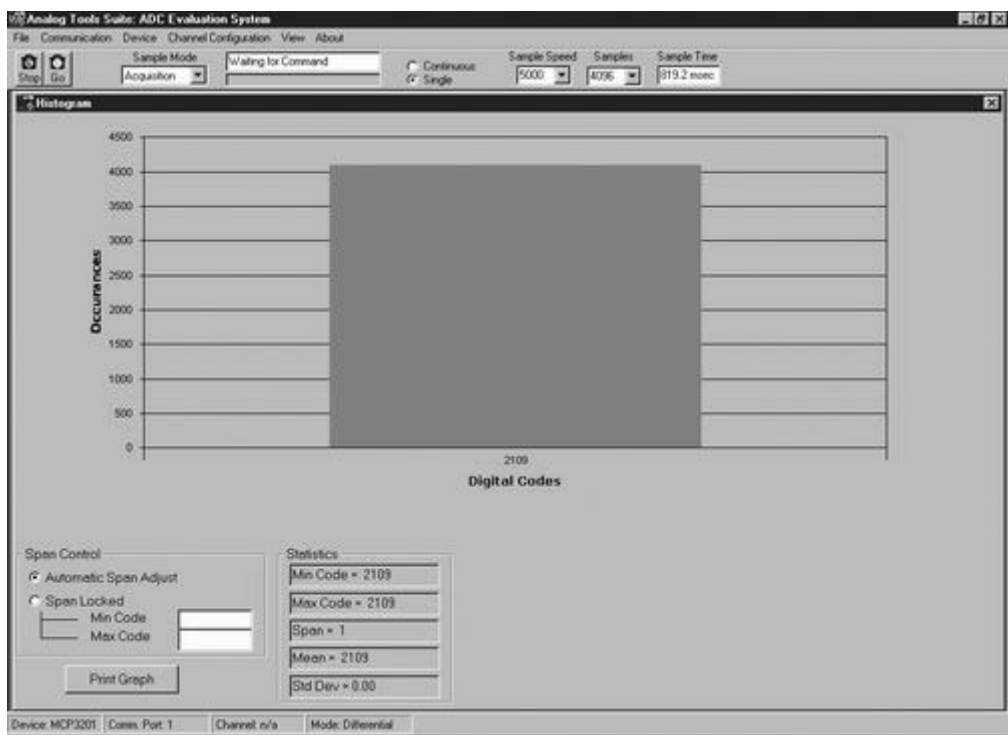


图 3 电源噪声充分降低后，MCP3201 的输出码一直是一个码，2108。

本文要论述的电路如图 1 所示。

### 电源噪声

电路应用中的常见干扰源来自电源，这种干扰信号通常通过有源器件的电源引脚引入。例如，图 1 中 A/D 转换器输出的时序图如图 2 所示。在此图中，A/D 转换器的采样速度是 40ksps，进行了 4096 次采样。

在此例中，仪表放大器、参考电压源和 A/D 转换器上没有加旁路电容。另外，电路的输入都是以一个低噪声、2.5V 的直流电压源作为基准。

对电路的深入研究表明，时序图上看到的噪声源来自于开关电源。电路中添加旁路电容和扼流环。电源上加了一个 10μF 的电容，并且在尽可能靠近有源元件的电源引脚旁放置了三个 0.1μF 的电容。在产生的新时序图上可以看到，产生了稳定的直流输出，图 3 所示的柱状图可验证这一点。数据显示，电路的这些更改消除了来自电路信号路径的噪声源。

### 造成干扰的外部时钟

其它系统噪声源可能来自时钟源或电路中的数字开关。如果这种噪声与转换过程有关，它不会作为转换过程中的干扰出现。但是，如果这种噪声与转换过程无关，采用 FFT (快速傅立叶变换) 分析，可以很容易发现这种噪声。

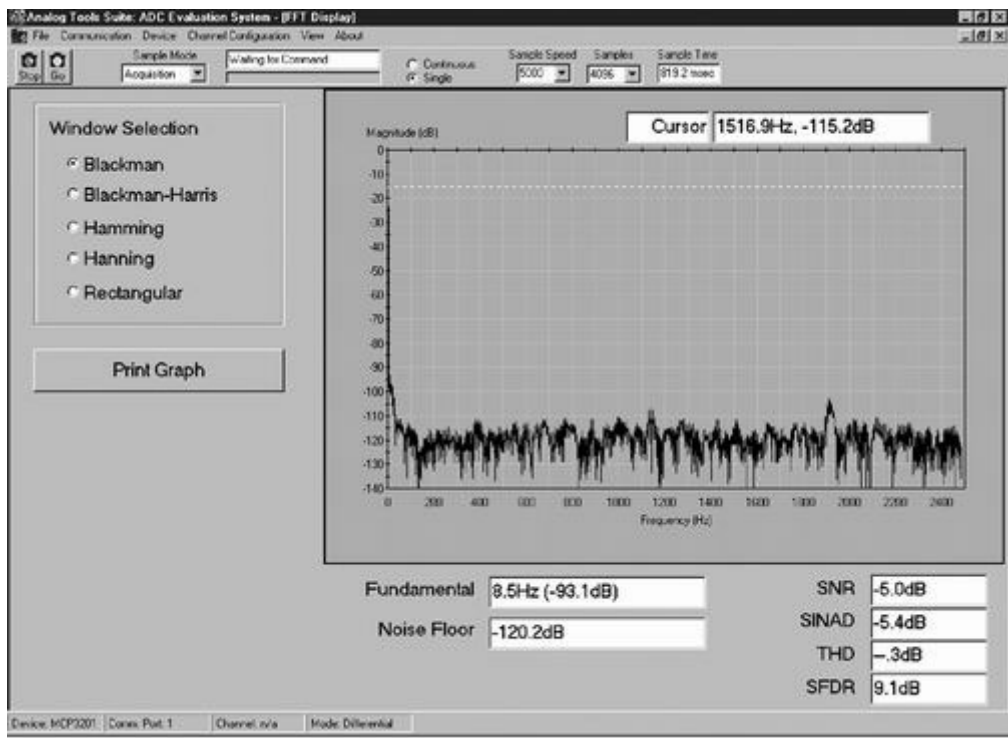


图 4 耦合到模拟走线的数字噪声有时被误解为宽带噪声。FFT 图可以很容易识别这种所谓“噪声”的频率，因此可识别出噪声源。

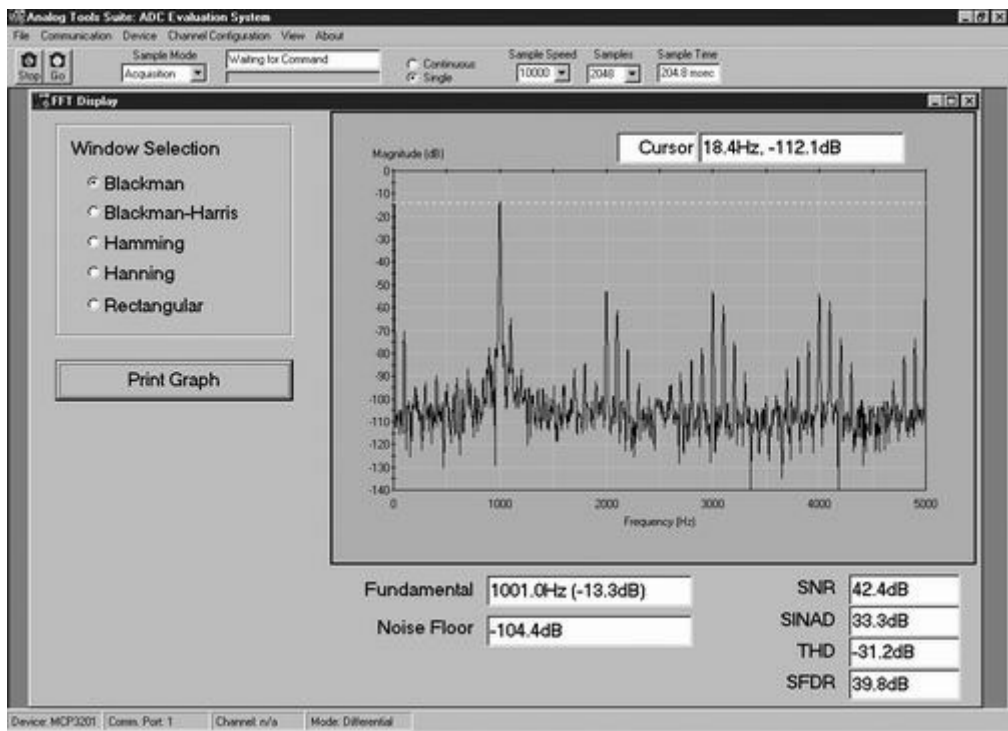


图 5 放大器轻微过激励，会使信号产生失真。通过这种转换的 FFT 图，可以很快发现信号的失真。

时钟信号干扰的示例可参见图 4 所示的 FFT 图。此图使用了图 1 所示的电路，并添加了旁路电容。在图 4 所示的 FFT 图中看到的激励，由电路板上的 19.84 MHz 时钟信号产生。在此例中，布线时几乎没有考虑走线之间的耦合作用，在 FFT 图中可以看到忽略此细节的结果。

这个问题可以通过修改布线来解决，将高阻抗模拟走线远离数字开关走线；或者在模拟信号路径中，在 A/D 转换器之前加抗混叠滤波器。走线之间的随机耦合在某种程度上更难以发现，在这种情况下，时域分析可能比较有效。

## 放大器使用不恰当

回到图 1 所示的电路，在仪表放大器的正相输入端施加一个 1kHz 的交流信号。此信号不是压力传感的特性，但是可以采用这个示例来说明模拟信号路径中器件的影响。

图 5 所示的 FFT 图显示了施加上述条件后的电路性能。注意基波看起来有失真，许多谐波也有同样的失真。失真是由于使放大器轻微过激励引起的。解决此问题的方法是降低放大器增益。

## 结语

解决信号完整性问题可能会花费很多时间，尤其是当工程师没有工具来解决棘手的问题时。在“窍门箱”中有三种最佳的分析工具：频域分析工具(FFT)、时域分析工具(示波器照片)和直流分析工具(柱状图)。工程师可以用这些工具来识别电源噪声、外部时钟源和过激励放大器失真。

# PCB 布线设计（六）

对于 12 位传感系统的布线，应用的电路是一负载单元电路，该电路可精确测量传感器上施加的重量，然后将结果显示在 LCD 显示屏上。系统电路原理图如图 1 所示。采用的负载单元是 Omega 公司的 LCL-816G。LCL-816G 传感器模型是由四个电阻元件组成的桥，需电压激励。将 5V 激励电压加在传感器高端，施加 900g 最大激励时，满刻度输出摆幅为  $\pm 10\text{mV}$  差分信号。该小差分信号被双运放仪表放大器放大。

根据电路精度要求，选择一个 12 位 A/D 转换器。当转换器将输入端的电压进行数字化后，数字码经转换器 SPI 端口发送到单片机。然后，单片机用查找表将来自 A/D 转换器的数字信号转换为重量。此时如需要的话，线性化和标定工作可由控制器代码实现。完成这一步后，结果送到 LCD 显示器。最后一步是为控制器写固件。电路设计好之后，即可设计印刷电路板和布线了。

查看这个完整的电路原理图时，若使用自动布线工具，经常要返回来对布线做很大的修改。如果自动布线工具可以实现布线限制，可能还有成功的可能性。如果自动布线工具没有限制选项的话，最好不要使用自动布线工具。

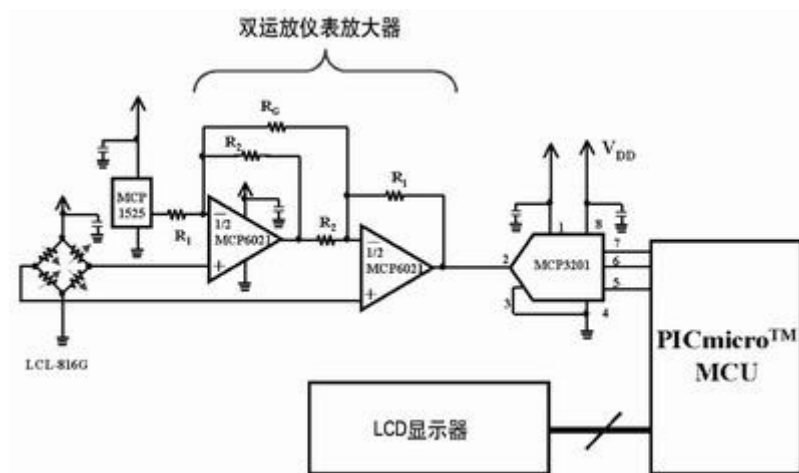


图 1 负载单元传感器输出端的信号由双运放仪表放大器放大，然后由 12 位 A/D 转换器 MCP3201 滤波和数字化。每次转换的结果显示在 LCD 显示屏上。

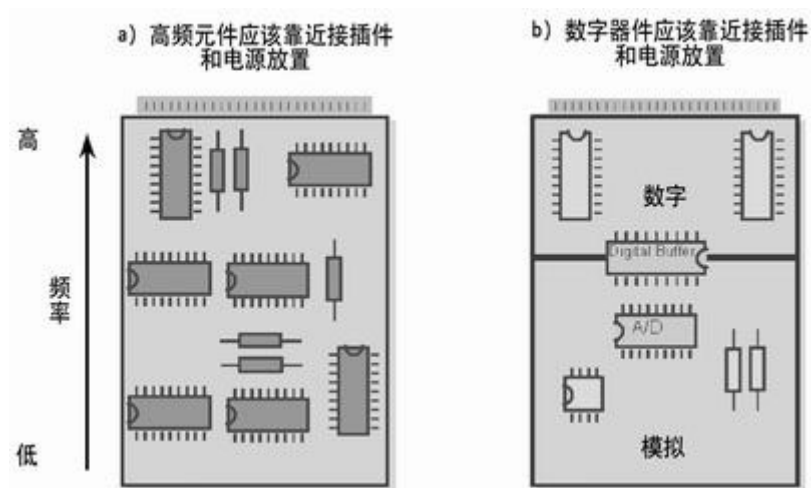


图 2 在精度高于 12 位的电路中，PCB 上有源元件的放置很重要。要将高频元件 和数字器件尽量靠近接插件放置。

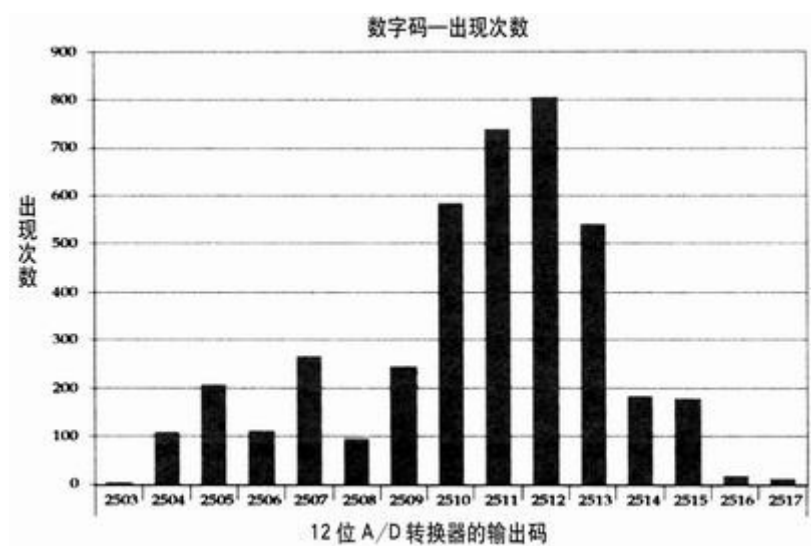


图 3 图 1 电路的顶层布线和底层布线，此布线中没有地平面和电源平面。注意：为降低电源线的感抗，电源线要比信号线宽很多。

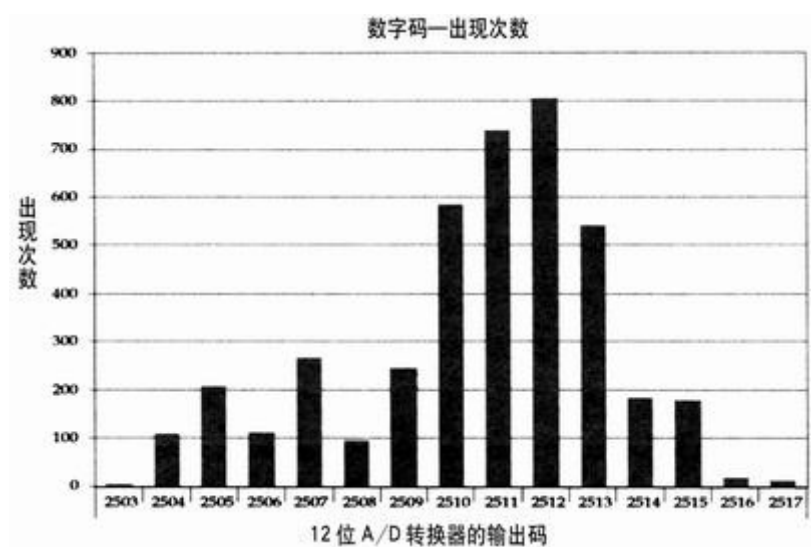


图 4 在没有地平面或电源平面的 PCB(PCB 布线如图 3 所示)中，对 A/D 转换器输出 4096 次采样的柱状图。电路的噪声码宽度为 15 个码。

## 布线的一般准则

### 器件布局

既然是采用手工布线，那么第一个步骤是在板上放置器件。将噪声敏感器件和产生噪声器件分开放置。完成这个任务有两个准则：

1. 将电路中器件分成两大类：高速(>40MHZ)器件和低速器件。如果可能的话，将高速器件尽量靠近板的接插件和电源放置。
2. 将上述大类再分成三个子类：纯数字、纯模拟和混合信号。将数字器件尽量靠近板的接插件和电源放置。

电路板的布线策略要符合图 2 所示的器件布局图。注意图 2a 中高速器件、低速器件与电路板的接插件和电源之间的关系。在图 2b 中，数字器件最靠近电路板的接插件和电源，与其它数字和模拟电路分离开了。纯模拟器件距离数字器件最远，以确保开关噪声不会耦合到模拟信号路径中。A/D 转换器的布线策略在本刊 2004 年 1 月中有详细论述。

### 地和电源策略

确定了器件的大体位置后，就可以定义地平面和电源平面了。实现这些平面是需要一些策略技巧的。

在 PCB 中不使用地平面是很危险的，尤其是在模拟和混合信号设计中。其一，因为模拟信号是以地为基准的，地噪声问题比电源噪声问题更难应对。例如，在图 1 所示电路中，A/D 转换器(MCP3201)的反相输入引脚是接地的；二，地平面对噪声有屏蔽作用。采用地平面可以很容易解决这个问题，但是，如果没有地平面，要克服这些问题几乎是不可能的。

这里，假设不需要地平面。图 1 所示的电路无地平面布线，如图 3 所示。

“不需要地平面”的理论还行得通吗？这可以通过数据来验证。在图 4 中，对 A/D 转换器进行了 4096 次采样并记录了数据。在采集数据时，没有在传感器上施加激励。采用这种电路布线，控制器专用于与转换器接口，并将转换器的结果发送到 LCD 显示器。

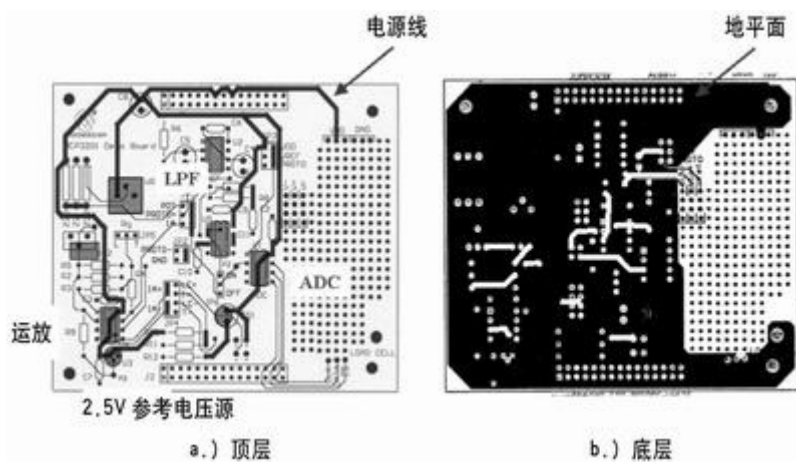


图 5 图 1 电路的顶层和底层布线。注意此布线中有地平面。

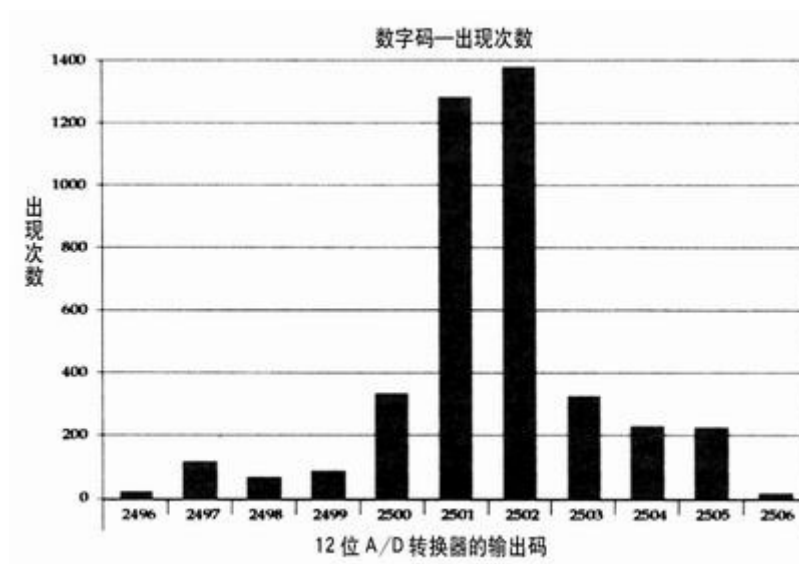


图 6 在有地平面的 PCB(PCB 布线如图 5 所示)中, 对 A/D 转换器输出 4096 次采样的柱状图。噪声码宽度为 11 个码。

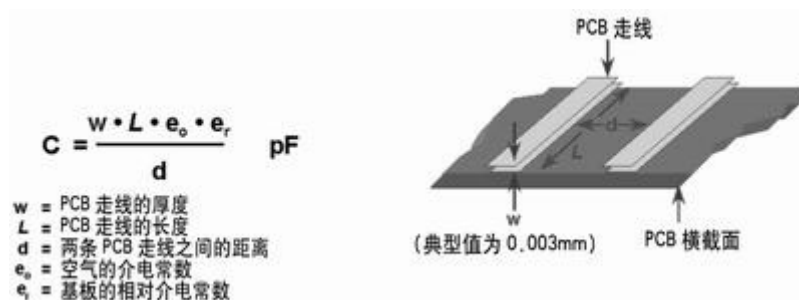


图 7 在 PCB 上将两条走线靠近放置, 就会产生寄生电容。信号会通过这种寄生电容在走线之间耦合。

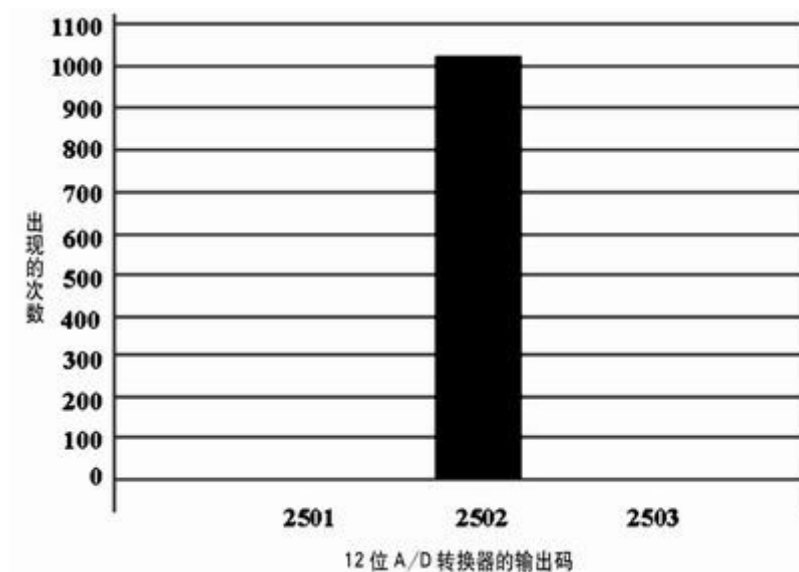


图 8 显示在图 1 电路中添加一个四阶抗信号混叠滤波器后的转换结果。另外, 电路板布线中添加了地平面。

图 5 所示的布线与图 3 中的布线基本相同，但在底层添加了地平面。地平面(图 5b)有几处被信号线打断，应尽量减少地平面被断开的次数。电流返回路径不应缩短，因为这些走线会限制从器件到电源接插件的电流流动。A/D 转换器输出的柱状图如图 6 所示。与图 4 相比，输出码要密集得多。两次测试中使用了相同的有源器件。无源器件不同，会导致较小的偏置差异。

从上述数据很容易看出，地平面确实对电路噪声有抑制作用。当电路中没有地平面时，噪声的宽度大约为 15 个码；添加了地平面后，性能提高了约 1.5 倍或 15/11 倍。请注意，测试是在电磁干扰较低的实验室中进行的。

A/D 转换器输出数字码的噪声可归因于运放的噪声和缺少抗信号混叠滤波器。如果电路中有“最少”量的数字电路，可能只需要一个地平面和一个电源平面就可以了。“最少”可由电路板设计人员定义。将数字和模拟地平面连接在一起的危险在于，模拟电路会从电源引脚引入噪声，并将噪声耦合到信号路径中。在电路的一点或多点上，要将模拟电路和数字电路的地和电源连接在一起，以确保所有器件的电源、输入和输出共地，其标称值不会被破坏。

在 12 位系统中，电源平面并不象地平面那么重要。尽管电源平面可以解决许多问题，使电源线比电路板上其它走线宽两倍或三倍，以及有效使用旁路电容，都可以降低电源的噪声。

## 信号线

电路板(包括数字和模拟电路)上的信号线要尽量短。这个基本准则将降低无关信号耦合到信号路径的可能性。尤其要注意的是模拟器件的输入端，这些输入端通常比输出引脚或电源引脚具有更高的阻抗。例如，A/D 转换器的参考电压输入引脚在进行转换期间是最为敏感的。对于图 1 中的 12 位转换器，输入引脚(IN+和 IN-)对引入的噪声也很敏感。运放的输入端也有可能信号路径中引入噪声。这些端通常具有 109W 至 1013W 的输入阻抗。

高阻抗输入端对于输入电流比较敏感。如果从高阻抗输入端引出的走线靠近有快速变化电压的走线(如数字或时钟信号线)，就会发生这种情况，此时电荷通过寄生电容耦合到高阻抗走线中。

这两条走线之间的关系如图 7 所示。图中，两条走线之间寄生电容的值主要取决于走线之间的距离(d)，以及两条走线保持平行的长度(L)。通过这个模型，高阻抗走线中产生的电流等于： $I=C \cdot dV/dt$

其中：I 是高阻抗走线上的电流，C 是两条 PCB 走线之间的电容值，dV 是有开关动作的走线上的电压变化，dt 是电压从一个电平变化到下一个电平所用的时间。

## 旁路电容和抗信号混叠滤波器的使用

有关旁路电容的一个原则是：在电路中始终包含旁路电容。如果设计电路时，没有加旁路电容，电源噪声很可能使电路的精度达不到 12 位。

## 旁路电容

可在电路板上的如下两个位置放置旁路电容：一个电容(10mF 至 100mF)放置在电源侧，另一个电容放置在每个有源器件(包括数字和模拟器件)旁边。加在器件上旁路电容的值取决于使用的器件。如果器件的带宽小于或等于 1MHz，那么采用 1mF 的电容可以显著降低引入的噪声。如果器件的带宽大于 10MHz，0.1mF 的电容可能比较合适。如果带宽在这两个频率之间，可同时使用这两种容值的电容，或使用其一。

电路板上的每个有源器件都需要一个旁路电容。旁路电容必须尽可能靠近器件的电源引脚放置，如图 5 所示。如果一个器件使用了两个旁路电容，容值小的电容要最靠近器件引脚。而且，旁路电容的引脚要尽量短。

## 抗信号混叠滤波器

请注意，图 1 所示的电路中没有抗信号混叠滤波器。正如数据所显示，这一疏忽在电路中引起了噪声问题。此电路板中，当在仪表放大器的输出和 A/D 转换器的输入之间接入一个四阶、10Hz 抗信号混叠滤波器时，转换响应的性能大为提高，如图 8 所示。

模拟滤波可在模拟信号到达 A/D 转换器之前，消除叠加在模拟信号上的噪声，尤其是无关的噪声尖峰。A/D 转换器将对出现在其输入端的信号进行转换，这种信号可能包括传感器电压信号或噪声，抗信号混叠滤波器消除了转换过程中的高频噪声。

PCB 设计准则

只要遵循如下几个准则，良好的 12 位布线技巧并不难掌握：

- 1. 检查器件相对于接插件的位置，确保高速器件和数字器件最靠近接插件。
- 2. 电路中至少要有有一个地平面。
- 3. 使电源线比板上的其它走线宽。
- 4. 检查电流回路，寻找地线中的可能噪声源。这可通过确定地平面上所有点的电流密度和可能存在的噪声量来实现。
- 5. 正确旁路所有器件，将电容尽量靠近器件的电源引脚放置。
- 6. 使所有走线都尽量短。
- 7. 查看所有的高阻抗走线，逐条走线查找可能的电容耦合问题。
- 8. 确保对混合信号电路中的信号正确滤波。

开关稳压电源设计制作中 PCB 设计规范技术总结

姚晓亮 刘春河 王庆恒

源设计与制作中，PCB 的设计与制作都是至关重要的。在任何开关电源设计中，PCB 板的物理设计都是最后一个环节，如果设计方法不当，PCB 可能会造成很多的问题。笔者根据多年的 PCB 设计经验，尤其总结了电源设计制作的经验，以下针对各个步骤中所需注意的事项进行分析。

设计流程

理图到 PCB 的设计流程为：建立元件参数→输入原理网表→设计参数设置→手工布局→手工布线→验证设计→复查→CAM 输出。

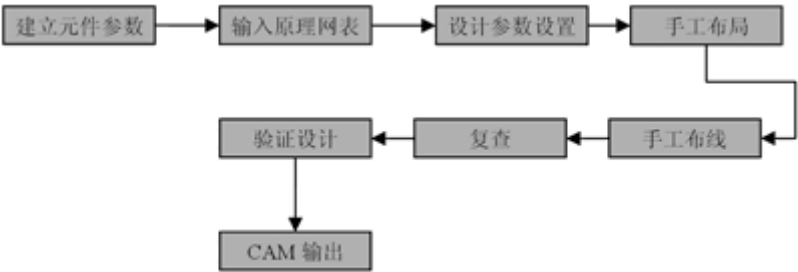


图 1 设计流程

电气安全要求

导线的间距必须能满足电气安全要求，最小间距至少要能适合承受的电压，而且为了便于操作和生产，间距要尽量地宽。在布线密度较低时，信号线的间距可适当加大。对高、低电平悬殊的信号线则要尽可能地加大间距，一般为 8mil。焊盘内孔边缘到印制板边的距离要大于 1mm，这样

可以避免加工时的焊盘缺损。当与焊盘连接的走线较细时，要将焊盘与走线之间的连接设计成水滴状，这样的好处是焊盘不容易起皮，而且走线与焊盘不易断开。

## 元器件布局

件布局实践证明，即使电路原理图设计正确，印制电路板设计不当，也会对电子设备的可靠性产生不利影响。例如，如果印制板两条细平行线靠得很近，则会造成信号波形的延迟，在传输线的终端形成反射噪声。因此，在设计印制电路板的时候，应注意采用正确的方法。

个开关电源都有四个电流回路：电源开关交流回路，输出整流交流回路，输入信号源电流回路，输出负载电流回路。输入回路通过一个近似直流的电流对输入电容充电，滤波电容主要起到一个宽带储能作用；类似地，输出滤波电容也用来储存来自输出整流器的高频能量，同时消除输出负载回路的直流能量。所以，输入及输出电流回路应只从滤波电容的接线端连接到电源；如果输入/输出回路和电源开关/整流回路之间的连接无法与电容的接线端直接相连，交流能量将经由输入或输出滤波电容而辐射到环境中去。电源开关交流回路和整流器的交流回路包含大幅梯形电流，这些电流中谐波成分很高，其频率远大于开关基频，峰值幅度可高达持续输入/输出直流电流幅度的 5 倍，过渡时间通常约为 50ns。这两个回路最容易产生电磁干扰，因此必须在电源中其他印制线布线之前先布好这些交流回路。每个回路的滤波电容、电源开关或整流器、电感或变压器应彼此相邻地进行放置，使它们之间的电流路径尽可能短。建立开关电源布局的最佳设计流程如图 2 所示。

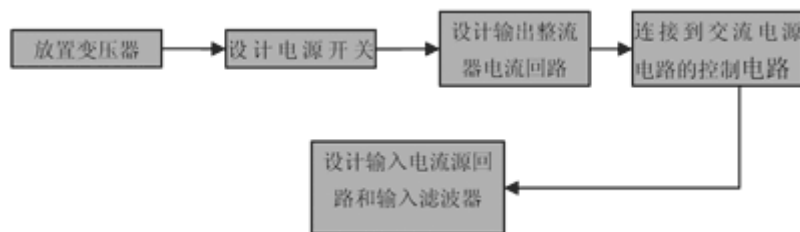


图 2 布局设计流程

对电路的全部元器件进行布局时，要符合以下原则：

- PCB 尺寸过大时，印制线条长，阻抗增加，抗噪能力下降，成本也增加；过小时散热不好，且邻近线条易受干扰。电路板的最佳形状为矩形，长宽比为 3:2 或 4:3，位于电路板边缘的元器件，离电路板边缘一般不小于 2mm。
- 放置器件时要考虑以后的焊接，不要太密集。
- 以每个功能电路的核心元件为中心来进行布局。元器件应均匀、整齐、紧凑地排列在 PCB 上，尽量减少和缩短各元器件之间的引线和连接，去耦电容则尽量靠近器件的 VCC。
- 在高频下工作的电路，要考虑元器件之间的分布参数。一般电路应尽可能使元器件平行排列。这样，不但美观，而且装焊容易，易于批量生产。
- 按照电路的流程安排各个功能电路单元的位置，使布局便于信号流通，并使信号尽可能保持一致的传输方向。
- 布局的首要原则是保证布线的布通率，移动器件时注意飞线的连接，把有连线关系的器件放在一起。
- 尽可能地减小环路面积，以抑制开关电源的辐射干扰。

## 高频处理

线的长度和宽度会影响其阻抗和感抗，进而影响频率响应。即使是通过直流信号的印制线也会从邻近的印制线耦合到射频信号并造成电路问题(甚至再次辐射出干扰信号)。因此应将所有通过交流电流的印制线设计得尽可能短而宽，这意味着必须将所有连接到印制线和其他电源线的元器件放置得很近。根据印制线路板电流的大小，尽量加粗电源线宽度，减少环路电阻。同时，使电源线、地线的走向和电流的方向一致，这样有助于增强抗噪声能力。接地是开关电源四个电流回路的底层支路，作为电路的公共参考点起着很重要的作用，是控制干扰的重要因素。因此，在布局中应仔细考虑接地线的放置，将各种接地混合会造成电源工作不稳定。在地线设计中应注意以下几点。

### 1 正确选择单点接地

通常，容公共端应是其他的接地点耦合到大电流的交流地的唯一连接点，同一级电路的接地点应尽量靠近，并且本级电路的电源滤波电容也应接在该级接地点上。可采用一点接地，即将电源开关电流回路中的几个器件的地线都连到接地脚上，输出整流器电流回路的几个器件的地线接

到相应的滤波电容的接地脚上，这样电源工作较稳定，不易自激。做不到单点时，在其地接两个二极管或一小电阻，或接在比较集中的一块铜箔处就可以。

## 2 尽量加粗接地线

地线很细，接地电位则随电流的变化而变化，致使电子设备的定时信号电平不稳，抗噪声性能变坏，因此要确保每一个大电流的接地端采用尽量短而宽的印制线，尽量加宽电源、地线宽度，最好是地线比电源线宽，它们的关系是：地线>电源线>信号线，如有可能，接地线的宽度应大于 3mm，也可用大面积铜层作地线用，在印制板上把没被用上的地方都与地相连接作为地线用。

## 全局布线的考虑

接面看，元件的排列方位尽可能保持与原理图相一致，布线方向最好与电路图走线方向相一致。

布线图时，走线尽量少拐弯，印刷弧上的线宽不要突变，导线拐角应 $\geq 90^\circ$ ，力求线条简单明了。

电路中不允许有交叉电路，对于可能交叉的线条，可以用“钻”、“绕”两种办法解决。即让某引线从别的电阻、电容、三极管脚下的空隙处“钻”过去，或从可能交叉的某条引线的一端“绕”过去。如果电路很复杂，为简化设计也允许用导线跨接，解决交叉电路问题。

## 检查与复查

设计完成后，需认真检查布线设计是否符合设计者所制定的规则，同时也需确认所制定的规则是否符合印制板生产工艺的需求。一般检查线与线，线与元件焊盘，线与贯通孔，元件焊盘与贯通孔，贯通孔与贯通孔之间的距离是否合理，是否满足生产要求。电源线和地线的宽度是否合适，在 PCB 中是否还有能让地线加宽的地方。

根据“PCB 检查表”，内容包括设计规则，层定义、线宽、间距、焊盘、过孔设置，还要重点复查器件布局的合理性，电源、地线网络的走线，高速时钟网络的走线与屏蔽，去耦电容的摆放和连接等。

信息来源：今日电子

# EMI/EMC 设计讲座(四) 印刷电路板的映像平面

一个映像平面（image plane）是一层铜质导体（或其它导体），它位于一个印刷电路板（PCB）里面。它可能是一个电压平面，或邻近一个电路或讯号路由层（signal routing layer）的 0V 参考平面。1990 年代，映像平面的观念被普遍使用，现在它是工业标准的专有名词。本文将说明映像平面的定义、原理和设计。

## 映像平面的定义

射频电流必须经由一个先前定义好的路径或其它路径，回到电流源；简言之，这个回传路径（return path）就是一种映像平面。映像平面可能是原先的走线的镜像（mirror image），或位于附近的另一个路径——亦即，串音（crosstalk）；映像平面也许就是电源平面、接地平面，或者自由空间（free space）。射频电流会以电容或电感的形式与任何传输线耦合，只要此传输线的阻抗比先前定义好的路径的阻抗小。不过，为了符合 EMC 标准，必须避免让自由空间成为回传路径。

虽然单面 PCB 可以降低成本，但是这种简单的结构可能无法符合 EMC 标准。大多数的 2 层或 4 层结构的 PCB 具有比较高的讯号完整性，并且可以通过 EMC 测试。高密度（多层

板）的 PCB 堆栈大约可以为每一对映像平面，提供 6dB 至 8dB 的射频抑制，这是由于消除磁通量所产生的效果。有一个简单法则可以用来判断何时应该使用多层板：当频率速率超过 5MHz，或上升时间比 5 ns 快，就必须使用多层板。

## 电感的定义

走线和铜质平面都具有数目有限的电感，当电压施加到走线或传输线时，这些电感会禁止电流产生，所以会使双导线成为不平衡的共模辐射，磁通量因此无法降低。在电路板结构中，具有三种不同的电感型态：

- 部份电感：存在于导线或 PCB 走线的电感。
- 自身的部份电感：来自于一个导线区段的电感，相对于无限长的区段。
- 共同的部份电感：一个电感区段在第二个电感区段上所产生的效应。

和电容、电阻相比，电感值是最难被测量的。电感代表一个封闭型电流回路的动态特性。电感是通过封闭回路的磁通量和产生磁通量的电流之比值，其数学表述式是： $L_{ij} = \Psi_{ij} / I_i$ ， $\Psi$  是磁通量， $I$  是回路中的电流。在一个封闭回路中，电感值与回路形状和大小有关。当设计 PCB 时，工程师经常会忽视走线的电感大小。电感永远和封闭回路有关。封闭回路的电感效应，可以由部份电感和共同的部份电感的效应来描述。

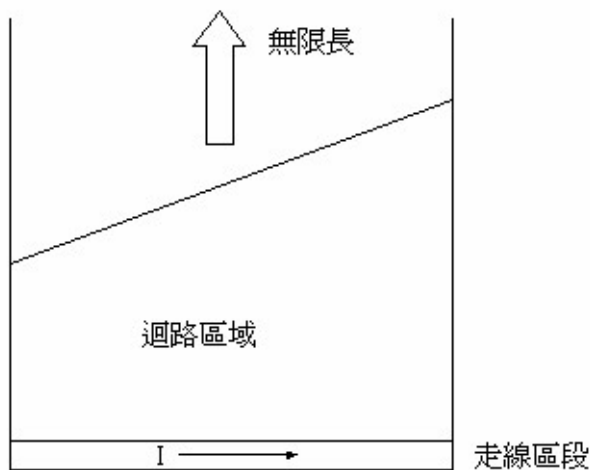
### 部份电感

一个导体的内部电感，它是由此导体内部的磁通量产生的。一个封闭回路的部份电感之加总，等于将每个区段的部份电感相加后的和，亦即。而每一个区段的  $L_i$  就等于  $\Psi_i / I_i$ ， $\Psi_i$  表示第  $i$  个区段耦合至回路的磁通量， $I_i$  是在第  $i$  个区段的电流， $L_i$  就是部份电感。因此，不同回路将会有不同数值的部份电感。我们关注的是部份电感值，而不是走线的总电感值。而且，利用部份电感可以推导出共同的部份电感。

### 共同的部份电感

可以让映像平面消除磁通量的主要因素是来自于「共同的部份电感」。磁通量被消除之后，能够让磁力线连结，并为射频电流找到最佳的回传路径。自身的部份电感是指特定的回路区段之电感，和其它回路区段无关。附图一是表示一个自身的部份电感，一条走线回路内的电流是  $I$ ， $L_p$  是走线区段的自身的部份电感。假设此走线是从有限的一端，一直延伸至无限的另一端。

理论上，虽然自身的部份电感与邻近的导线无关，但实际上，间距很小的相邻导线会互相改变彼此的自身的部份电感值。这是因为一条导线会和其它导线互动，使得在导线的全长度上的电流分布不再一致化（uniform）。尤其当两导线间隔和半径的比值约小于 5:1 时，这种情况会更加明显。



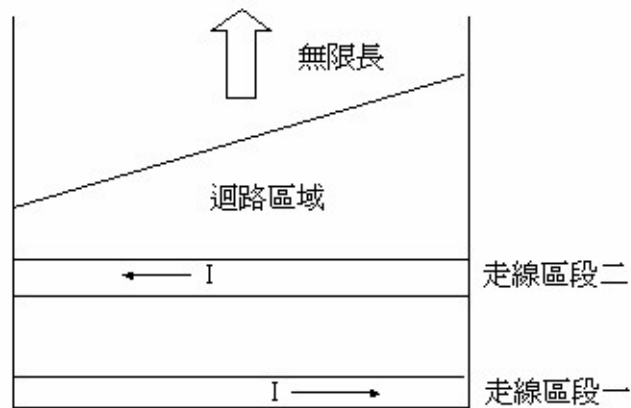
图一：自身的部份电感

在两条导线之间，会有共同的部份电感存在。共同的部份电感  $M_p$  是以平行走线，或导线区段之间的间距（ $s$ ）为基础。 $M_p$  是「第一条导线内的电流所产生的磁通量（通过第二条导线至很远的地方）」和「第一条导线所产生的电流」之比值。附图二是表示一个共同的部份电感。它的等效电路如附图三所示，此电路的数学表述式如下所示：

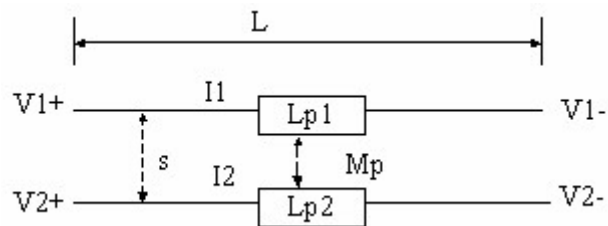
$$V_1 = L_{p1} \frac{dl_1}{dt} + M_p \frac{dl_2}{dt}$$

$$V_2 = M_p \frac{dl_1}{dt} + L_{p2} \frac{dl_2}{dt}$$

图二：共同的部份电感



图三：两导线之间的共同的部份电感



现在以共同的部份电感之观念，来考虑在附图三的电路上传送讯号，譬如：频率讯号。V1 是在讯号路径上，V2 是在射频电流回传路径上。假设此两导线构成一个讯号路径和它的回传路径，因此  $I_1 = I$  且  $I_2 = -I$ 。要不是有共同的部份电感存在，此两导线将无法互相耦合，此电路也无法正常工作，也不会形成一个封闭回路。在附图三中的电压降将变成：

$$V_1 = (L_{p1} - M_p) \frac{dI}{dt}$$

$$V_2 = -(L_{p2} - M_p) \frac{dI}{dt}$$

由上式中可以知道，若要使电压降变小，必须增加共同的部份电感值 ( $M_p$ )。

而增加共同的部份电感之最简单方法是：将射频回传电流的路径尽量和讯号走线靠近。最佳的设计方法是：在接近讯号走线的附近，使用一个射频回传平面，它们之间的距离在可实现的能力范围之内，应该尽量的小。

部份电感永远存在于导线中，它如同默认值一样。因此，它就等同于一个具有特定的谐振频率的天线。「共同的部份电感」可以降低「部份电感」的效应。缩小两导线的间距，其个别的部份电感就可以降低，这可以符合 EMI 兼容标准的要求。

为了使共同的部份电感之效应达到最大，在两导线中的电流必须大小相同，但方向相反。这也是为何映像平面（或接地线）能够如此有效的原因。在两条平行的导线之间，有共同的部份电感存在，而这些电感值会随着两导线的间距和长度之不同而变化（可以参考导线的技术规格）。当两平行导线的间距和长度都最小时，它们的共同的部份电感值会最大。

若在电源和接地平面之间以介电材料分开，此时「共同的部份电感」将扮演什么角色呢？同样的，只要这两个平面的间距很小，共同的部份电感值就会很大。此时，在电源平面上所测量到的射频讯号电流应该为零，

因为它被大小相同、方向相反的射频回传电流抵销了。

此外，须注意的是，如果降低两导线之间的共同的部份电感值，不仅会减损映像平面的效应，而且会使两平面之间的电容值增加。

## 映像平面的设计

附图四是在 PCB 内的映像平面，它具有共同的部份电感。在此图中，讯号走线的大多数射频电流将回至接地平面，此平面在讯号走线的正下方。在这个回传「映像」结构中，射频回传电流将遇到一个有限大的阻抗（电感）。此回传电流会产生一个「电压梯度（斜率）」（每单位路径长度的电压变化率），也称为「接地噪声电压（ground-noise voltage）」。接地噪声电压会导致部份的讯号电流通过接地平面的离散电容。

典型的共模电流 是差模电流  $I_{dm}$  的  $1/10n$  倍（ $n$  为小于 10 的正整数）。不过，共模电流（ $I_l$  和  $I_{cm}$ ）会比差模电流（和）产生更多的辐射。这是因为共模的射频电流场是相加的，而差模电流场是相减的。

为了降低「接地噪声电压」，必须增加走线和其最靠近的映像平面之间的共同的部份电感值。这样可以为回传电流提供一条增强的路径，将映像电流映射回电流源。接地噪声电压  $V_{gnd}$  的计算公式如下所示：

$$V_{gnd} = L_g \frac{dI_2}{dt} - M_{gs} \frac{dI_1}{dt}$$

附图四和上式的符号意义如下所示：

$L_s$  = 讯号走线自身的部份电感。

$M_{gs}$  = 讯号走线和接地平面之间的共同的部份电感。

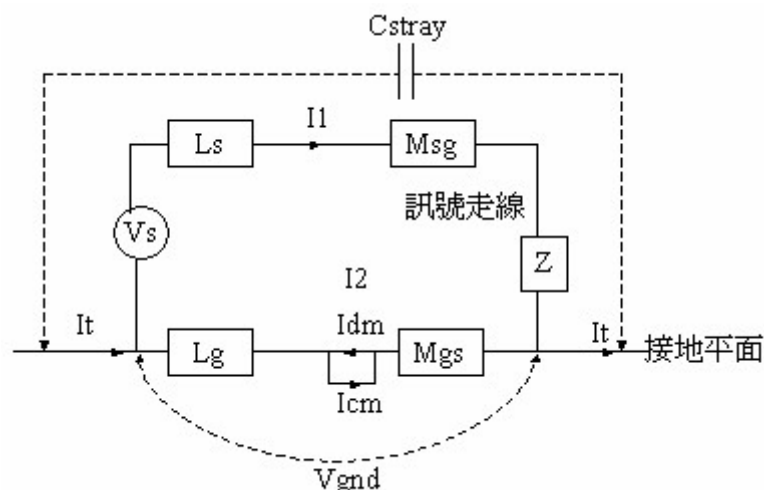
$L_g$  = 接地平面自身的部份电感。

$M_{gs}$  = 接地平面和讯号走线之间的共同的部份电感。

$C_{stray}$  = 接地平面的离散（stray）电容。

$V_{gnd}$  = 接地平面噪声电压。

为了降低附图四中的  $I_f$ ，接地噪声电压必须减少。最好的方法是：缩小讯号走线和接地平面之间的距离。在大多数的情况下，接地噪声的降低是有极限的，因为讯号平面和映像平面之间的距离不能小于一个特定值；若低于此值，则电路板的固定阻抗和功能将无法确保。此外，也可以为射频电流提供额外的路径，藉此降低接地噪声电压。此额外的回传路径包含有数条接地线。



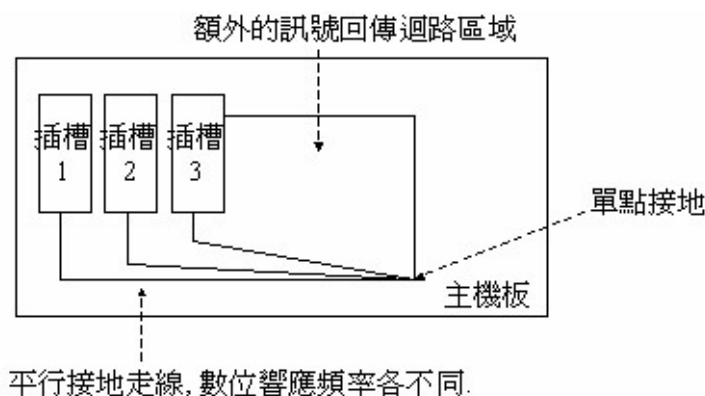
图四：PCB 内的接地平面

一个稳固的平面会产生共模的辐射。由于共同的部份电感可以降低具辐射性的射频电流的产生，因此，共同的部份电感也会影响到差模电流和共模电流。而利用映像平面是可以将这些电流大幅地降低的。理论上，差模电流应该等于零，但实际上它无法 100% 被消除，而剩下的差模电流会转变成共模电流。此共模电流正是造成电磁干扰的主要来源。因为在回传路径上的剩余的射频电流，被加到在讯号路径中的主电流 ( $I_1$ ) 中，造成讯号严重干扰。为了降低共模电流，我们必须将走线平面和映像平面之间的共同的部份电感值增加至最大，以捕捉磁通量，藉此消除不需要的射频能量。差模电压和电流会产生共模电流，而减少差模电流的方法除了增加共同的部份电感值以外，走线平面和映像平面之间的距离也必须最小。

在 PCB 内，当有一个射频回传平面或路径存在时，若此回传路径被连接至一个参考源，则可以获得最佳的性能。对 TTL 和 CMOS 而言，其芯片内的功率和接地脚位是连接至参考源、电源、接地平面。只有当射频回传路径有和芯片内的功率和接地脚位连接，一个真正的映像平面才会存在。通常，在芯片内会有接地线路，此线路与 PCB 的接地平面连接，因此产生良好的映像平面。如果将此映像平面移除，则在走线和接地平面之间会产生「虚幻的」映像平面。由于走线之间的距离很小，辐射能量会降低，因此，射频映像 (RF image) 会被抵销。理想的映像平面应该是无限大的，而且没有分裂、细缝或割痕。

#### 接地和讯号回路

由于回路是射频能量传播最主要的媒介，因此，接地或讯号回传回路控制 (return loop control) 是抑制 PCB 内的电磁干扰的最重要设计考虑之一。高速的逻辑组件和振荡器应该尽量靠近接地电路，以避免形成回路；在此回路中会有涡流 (eddy current) 存在，此时是以机壳或底座 (chassis) 接地。涡流是受到不断变化的磁场感应产生的，它通常是寄生的。附图五是 PC 的适配卡插槽和单点接地所形成的回路。在此图中，有一个额外的讯号回传回路区域存在。每个回路将会各别产生一个不同的电磁场和频谱。射频电流将会在特定的频率下，产生电磁辐射场，其辐射能量的大小和回路的面积有关。这时必须使用遮蔽物 (containment)，以避免射频电流耦合至其它电路中；或辐射至外部环境，造成电磁干扰。不过，最好能尽量避免由内部电路产生射频回路电流 (RF loop current) 来。



图五：在 PCB 内的接地回路

若射频电流的回传路径不存在，此时，可以利用连接至底座的接地线路，或 0V 参考源来协助移

除掉不良的射频电流。这也称为「回路面积控制（loop area control）」。

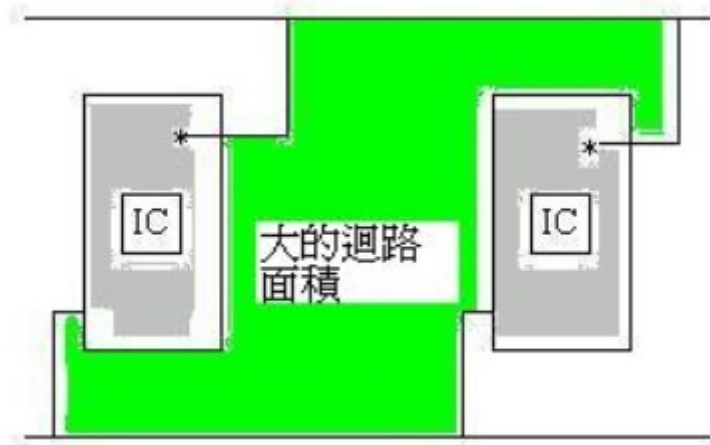
### 回路面积的控制

一个被磁场感应的回路，它的电磁场可以用电压源来表示。这个电压源大小和回路的总面积成正比。因此，为了降低磁场的耦合效应，必须减少回路的面积。电场「捡拾（pickup）」接收系统也是依靠回路面积，来形成接收天线。

当有一个电场存在时，在电源和接地平面之间，会产生一个电流源。电场不会在线路至线路之间耦合，而会在走线至接地线之间耦合，这就包含了共模电流。但是，对磁场而言，由于电场会伴随它产生，所以电磁场会在线路至线路之间耦合，也会在线路至接地线之间耦合。

一般人都忽略在 PCB 内，于电源和 0V 参考点之间要设置回路区域。附图六的大回路面积是最容易设计的，但也最容易被「静电释放（ESD）」或其它场感应，变成一个天线。多层堆栈的 PCB 可以减轻 ESD 的破坏，并能减少磁场的产生，避免它辐射至自由空间。在附图七中，接地平面和电源平面之间，具有一个很小的回路面积。

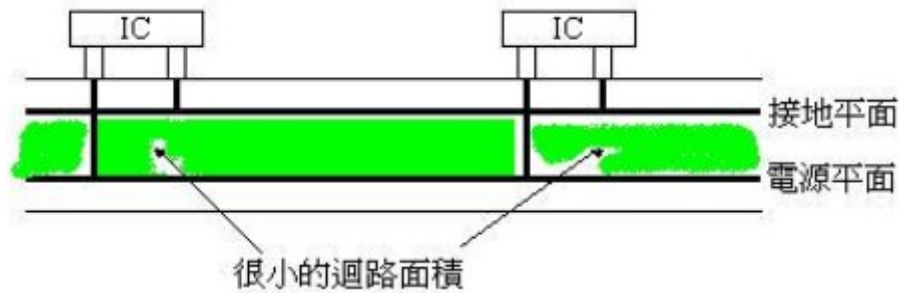
使用电源和接地平面可以降低电源分配系统的电感值。若将电源分配系统的特性阻抗降低，则可以降低电路板的电压降。电压降若变小，则「接地弹跳（ground bounce）」的现象就可以避免。当逻辑闸开关快速切换时，瞬间的电流变化会经由 IC 接脚，传送至主机板的电源平面或接地平面，造成输入参考电压的波动，进而产生射频噪声（RF noise）和电磁干扰，这种现象就称作「接地弹跳（ground bounce）」。此外，降低特性阻抗的同时，电源平面与接地平面之间的电容值会增加，这个电容值会使得任何的感应电压值下降，这就是「去耦合（decouple）」的效果。



图六：绿色区域是大的回路面积

当讯号线在组件之间穿梭时，大的回路面积就被产生了。但是我们常常会忘记讯号线对 EMI 的影响。虽然，讯号的完整性（时域）仍然很高，但是，EMI 依然存在（频域），因为讯号回路面积所产生的问题，比电源分配系统所产生的问题多。尤其是从 ESD 的观点来分析，更是如此；这是由于 ESD 会直接进入回路和组件的输入脚位中。为了降低 ESD 可能造成的伤害，减少回路面积是最简单的方法。电源和接地平面分散网络提供了低阻抗的路径，能够将 ESD 能量传送至 0V 的回传参考平面内。毕竟，回路是回路，如果它们能发出电磁波，就应该能够接收电磁波。

除了能降低接地噪声电压以外，映像平面也能防止射频接地回路变大，因为射频电流紧密地与它们的电流源走线耦合，所以，它不需要另外寻找回路路径。当回路控制最大化时，磁通量就被大幅消除了。这是在 PCB 内，抑制射频电流的最重要观念之一。在靠近每一个讯号平面处，正确地配置映像平面，就可以消除共模的射频电流。传输大量的射频电流的映像平面，必须接地或接至 0V 参考点。为了移除多余的射频电压和涡流，所有接地和底座平面可以透过一个低阻抗的接地电路，连接至底座的接地点。



图七：具有一个很小的回路面积的 PCB 布线

### 接地线的间距

要降低 PCB 内的回路生成，最简单的方法是设计许多个接地线，并全部连接至底座的接地点。由于组件的输出讯号的边缘速率（edge rate）加快了，所以，多点接地就变成了必要的规格，尤其当有使用到 I/O 互连的设计时。当 PCB 使用多点接地，而且都连接到一个金属结构上，这时，我们必须知道所有接地线之间的间距是多少。

接地线之间的距离不能超过最高频率的  $\lambda/20$ ，这不仅包括主频率，也包含谐波频率。如果某组件的输出讯号的边缘速率比较慢，则它连接至底座接地点的数目可以减少，或和接地位置的距离可以增加。例如：一个 64MHz 的振荡器的  $\lambda/20$  是 23.4 公分，若两个接地线的直线距离大于 23.4 公分，则很可能会有射频回路存在，这个回路可能就是射频能量传播的来源。

在 PCB 中的组件布局必须要正确。将不同功能区块的接地线紧密相邻，可以缩短讯号走线的长度、降低反射、并使绕线容易，同时保持讯号的完整性。应该要尽量避免使用通孔（via），因为每一个通孔会增加走线的电感值大约 1 至 3 nH。

此外，为了防止不同的频宽区域相互耦合，必须对不同的功能区块做正确的分割（partition），其方法有：使用分离的 PCB、绝缘、不同的布线…等。正确的分割可以提高电路效能、使绕线容易、缩短走线的长度，并且能缩小回路的面积、提升讯号质量。工程师在布线之前，必须先规划好哪些组件是属于哪一个功能区块，而这些信息可以从组件供货商处获得。

## EMI/EMC 设计讲座（七）印刷电路板的 EMI 噪讯对策技巧

随着电子组件功能提升，各种电子产品不断朝向高速化方向发展，然而高性能化、多功能化、可携带化的结果，各式各样的 EMC(Electro Magnetic Compatibility) 问题，却成为设计者挥之不去的梦魇。

目前 EMI(Electro Magnetic Interference) 噪讯对策，大多仰赖设计者长年累积的经验，或是利用仿真分析软件针对箱体结构、电子组件，配合国内外要求条件与规范进行分析，换句话说电子产品到了最后评鉴测试阶段，才发现、对策 EMI 问题，事后反复的检讨、再试作与对策组件的追加，经常变成设计开发时程漫无节制延长，测试费用膨胀的主要原因。

EMI 主要发生源之一亦即印刷电路板(Printed Circuit Board，以下简称为 PCB) 的设计，自古以来一直受到设计者高度重视，尤其是 PCB Layout 阶段，若能够将 EMI 问题列入考虑，通常都可以有效事先抑制噪讯的发生，有鉴于此本文要探讨如何在 PCB 的 Layout 阶段，充分应用改善技巧抑制 EMI 噪讯的强度。

### 测试条件

如图 1 所示测试场地为室内 3m 半电波暗室，预定测试频率范围为 30MHz~1000MHz 的电界强度，依此读取峰值点(Peak Point)当作测试数据(图 2)。

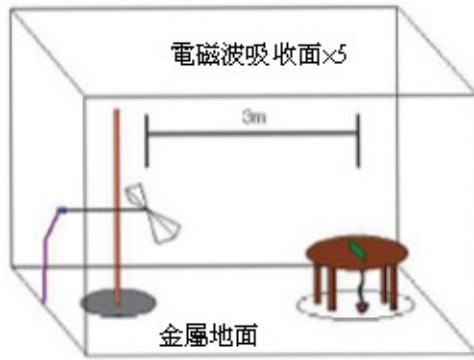


圖1 測試環境



圖2 測試模組外觀

图 3 是被测基板 A 的外观，该基板为影像处理系统用电路主机板，动作频率为 27MHz 与 54MHz，电路基板内建 CPU、Sub CPU、FRASH，以及 SDRAM×5、影像数据/数字转换处理单元、影像输出输入单元，此外被测基板符合「VCCI 规范等级 B」的要求，测试上使用相同的电源基板 (Board) 与变压器 (Adapter)。



圖3 被測基板 A 的外觀

首先针对被测基板 A 进行下列电路设计变更作业：

- CPU 的频率线 (Clock Line) 追加设置 EMI 噪讯对策用滤波器 (Filter)，与频率产生器 (Clock Generator) (图 4)。
- 影像输出输入单元追加设置 Common mode Choke Coil (DLWxxx 系列) (图 5)
- 各 IC 电源输入线的 Bypass Condenser 与电源之间，追加设置 Ferrite Beads (图 6)。
- 追加设置 Bypass Condenser，使各 IC 的所有电源脚架，全部从基板电源层 (Plane) 通过 Bypass Condenser 提供电源 (图 7)。

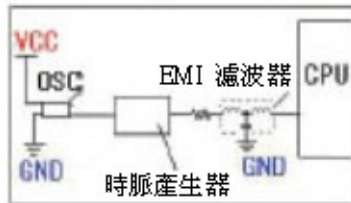
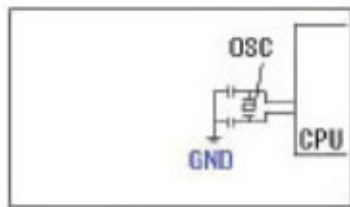


圖4 追加EMI 濾波器與時脈產生器的方法

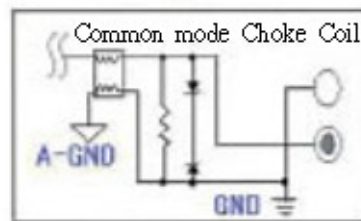
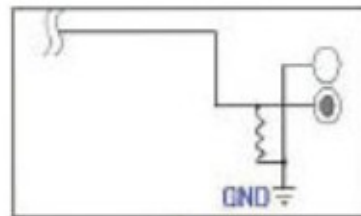


圖5 追加Common mode Choke Coil的方法

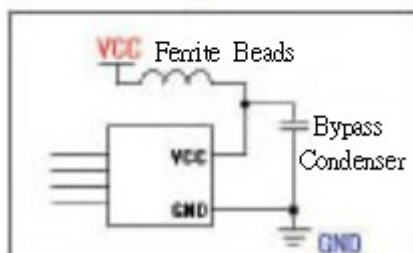
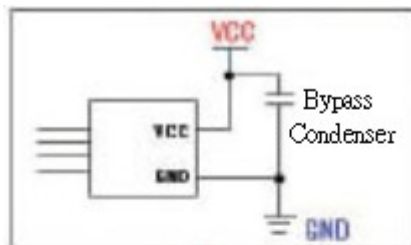


圖6 追加Ferrite Beads的方法

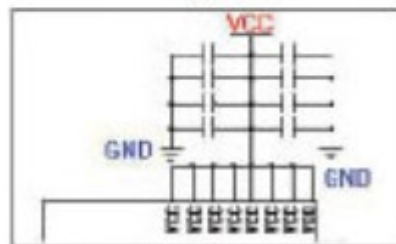
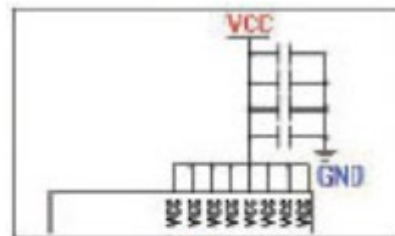


圖7 追加Bypass Condenser的方法

## 各种 EMI 噪讯对策

### a. EMI 噪讯对策用电容

接着进行 EMI 测试获得图 8 的测试结果，根据测试结果再进行噪讯抑制设计作业，在此同时将设计变更的被测基板 A 的设计数据读入 EMI 噪讯抑制支持工具，并针对支持工具指出的主要部位，例如频率线、Bus 导线 Via 周围，分散设置 EMI 噪讯对策用电容(图 9)，主要原因是信号导线的 return 路径如果太长或是非连续状态时，EMI 噪讯有增大之虞，为了缩短 Return 路径，因此设置连接电源与接地的电容。

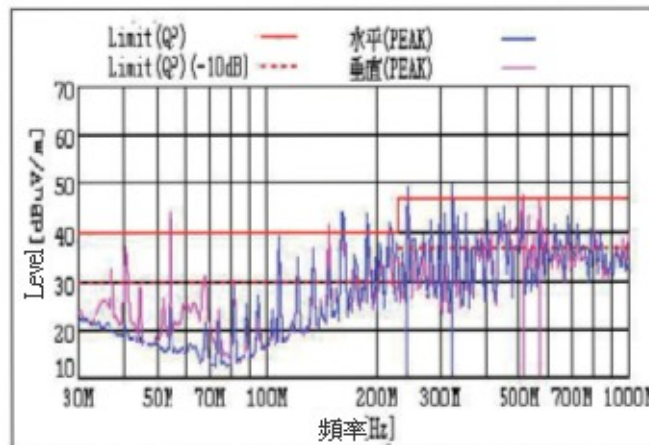
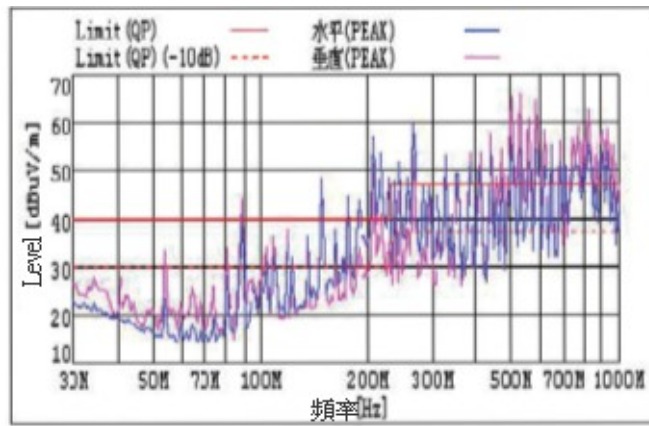


圖8 測基板的EMI測試結果

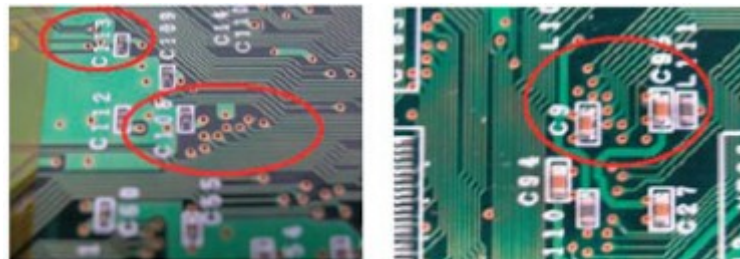


圖9 分散EMI噪訊對策用電容的方法

图 10～图 13 是改变上述电容容量时的 EMI 噪讯测试结果,根据测试结果显示,依照图 14 的频率范围设置的大容量 EMI 噪讯对策用电容 DuF,可以抑制低频噪讯 Level。虽然设置电容增加 PCB 的容量负载,不过为了要抑制噪讯,设置在各部位的电容频率特性,却可以发挥预期的 EMI 噪讯抑制效果。

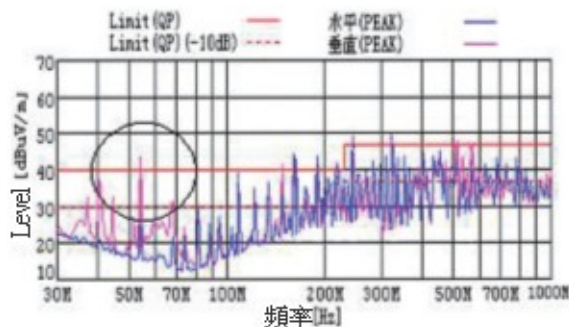


圖10 無EMI噪訊對策用電容的測試結果

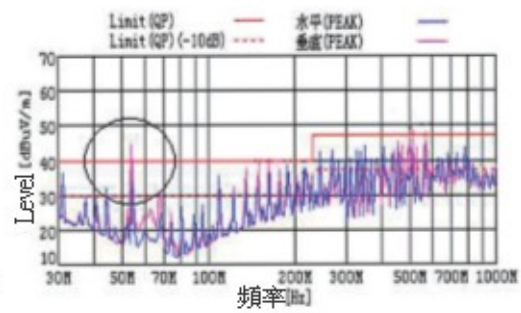


圖11 使用EMI噪訊對策用電容BuF的測試結果

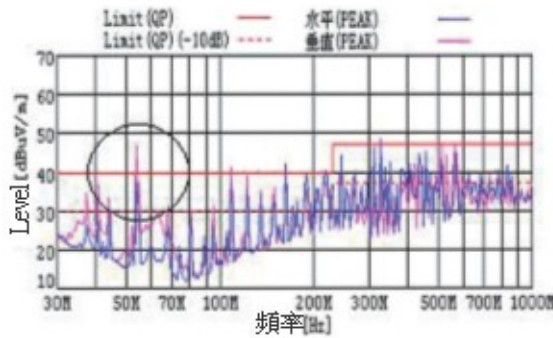


圖12 使用EMI噪訊對策用電容CuF的測試結果

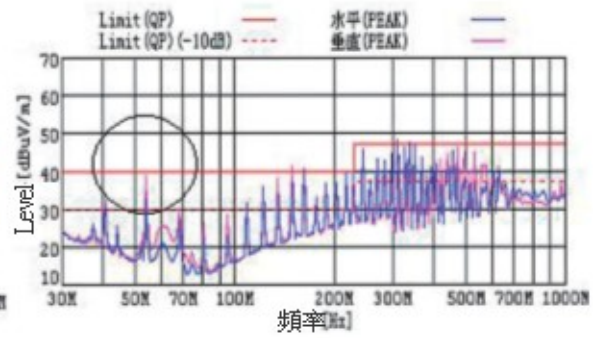


圖13 使用EMI噪訊對策用電容DuF的測試結果

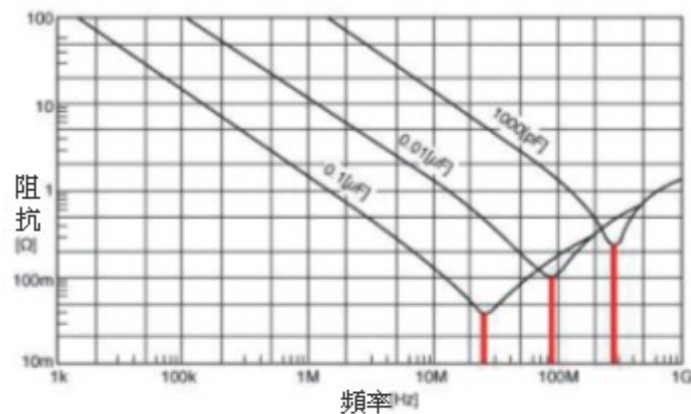


圖14 EMI噪訊對策用電容的頻率特性

实际应用时只要在频率导线、Bus 导线等高频导线 图案(Pattern)附近、形成 CPU、Return 路径的内层面 (Plane) 的分断附近、形成噪讯出入口的基板侧面附近分散设置 EMI 噪讯对策用电容，就可以消除该部位周边的噪讯。

对各式各样基板外形、组件封装、导线的 PCB 而言，只要以一定间隔设置 EMI 噪讯对策用电容，同样可以获得分散性的噪讯抑制效果。

## b. 改变基板的层结构

接着针对被测基板 A 进行层结构改善，制作图 15 所示 6 层 Built up 被测基板 B，它是利用「Pad on Via」与「雷射 Via」加工技术，将上述被测基板 A 的外层信号线导线变成内层，使 Return 电流可能流入接地 Plane，外层当作接地 Plane 包覆所有信号层。

改变被测基板结构主要理由是一般 4 层基板的 Return 路径，通常都设有可以通行电源 Plane 或是最短距离接地，因此在贯穿部位经常造成 Return 路径迂回问题，如果信号导线包覆接地 Plane，如此一来大部份的 Return 路径会流入接地 Plane，进而解决 Return 路径迂回的困扰，被测基板 B 就是根据上述构想制成，因此 Return 路径在 PCB 整体减少 30%，同时缩减信号图案与 Return 路径构成的电流 Loop 距离，进而达成 EMI 噪讯抑制的目的。图 16 是被测基板 B 的各层结构图。

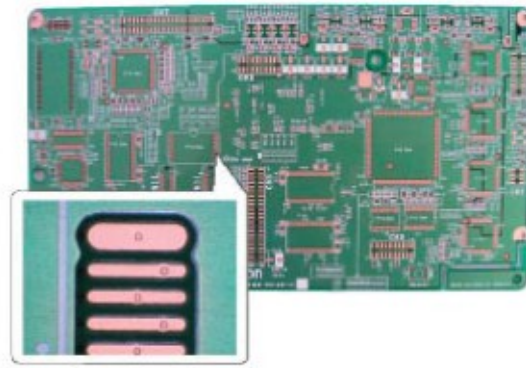


圖15 被測基板的外觀

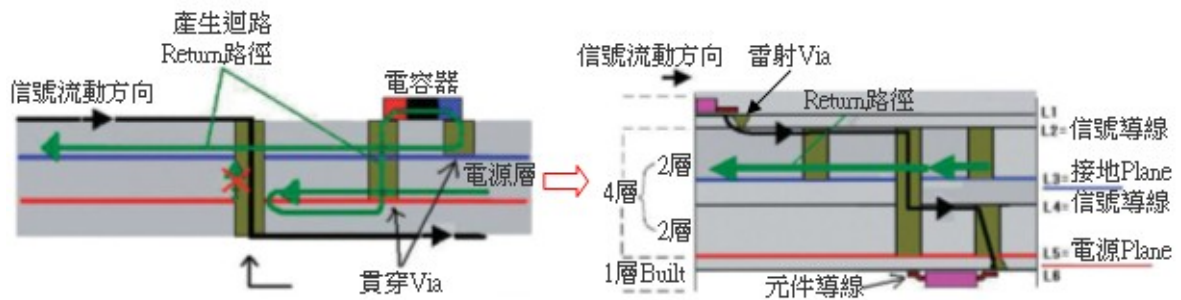


圖16 改變基板層結構的方法

图 16 是被测基板 B 的 EMI 噪讯测试结果，根据测试结果显示包含利用外层接地 Plane 的遮蔽(Field)结构，与回避 Return 路径迂回的设计确实具有抑制 EMI 噪讯的效果，不过实际上各式各样的电路板要作如此的层结构变更，势必面临制作成本暴增的困扰，尤其是所有信号导线都将 Return 路径列入设计考虑的话，几乎无法作业，因此 Layout 阶段尽量避免高频信号导线透过 Via 作布线，同时必需在该信号导线邻近的层设置接地 Plane，藉此防止 Return 路径迂回或是分断，接地 Plane 之间以复数 Via 连接，Return 路径利用复数 Via 作理想性的归返。

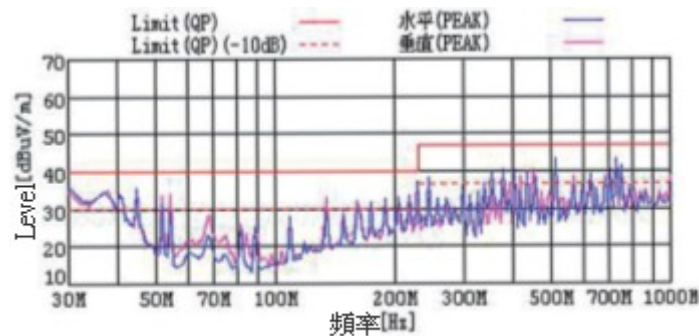


圖17 測基板B的EMI測試結果

### c. 设置多点 Grand 接地

Return 电流流动时 PCB 内的接地 Plane 会产生电位差，该电位差往往是 EMI 噪讯的发生原因之一，而且可能会通过 PCB 形成所谓的二次噪讯，因此将接地 Plane 与金属板作多点连接(图 18、图 19)，使 PCB 的侧面与中心位置得电位差均匀化，同时降低接地 Plane 本身的阻抗 (Impedance) 并抑制电压下降。

图 20 是多点接地后的 EMI 测试结果，由图可知低频领域 EMI 噪讯强度略为上升，不过 200MHz 以上时 EMI 噪讯受到抑制，这意味着多点接地的有效性获得证实。



圖18 多點接地的部位與元件

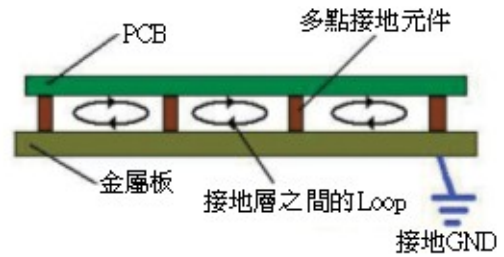


圖19 多點接地的斷面結構

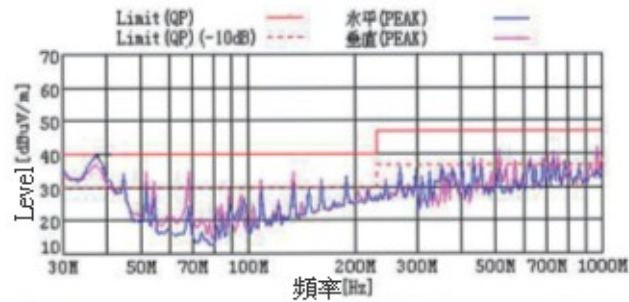


圖20 多點接地後的EMI測試結果

#### d. 铺设 Shield

图 21 是在基板侧面铺设 Shield 的实际外观，具体方法是在基板侧面粘贴导电胶带，试图藉此抑制基板内层信号线、Via 与电源 Plane 的噪声，接着再与外层接地 Plane 连接，测试基板侧面的 EMI 噪声遮蔽效果，图 22 是基板侧面铺设 Shield 的 EMI 测试结果，根据测试结果显示 200MHz 以下时 EMI 噪声强度有下降趋势，甚至符合规范的 Level，证实基板侧面铺设 Shield 确实可以抑制 EMI 噪声。

实际制作 PCB 时在基板侧面铺设 Shield，同样会面临成本上升的质疑，类似图 23 在基板侧面附近设置接地 Plane 与连续性贯穿 Via 的新结构，除了可是解决成本问题之外，还可以有效抑制基板侧面的 EMI 噪声强度；图 24 是结合以上各种 EMI 噪声对策的 PCB 测试结果。



圖21 基板側面鋪設Shield的模樣

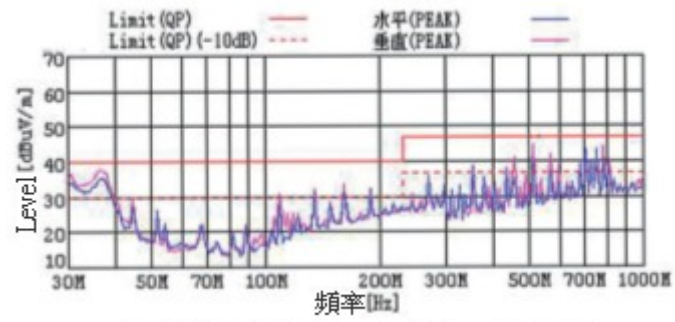


圖22 基板側面鋪設Shield的EMI測試結果

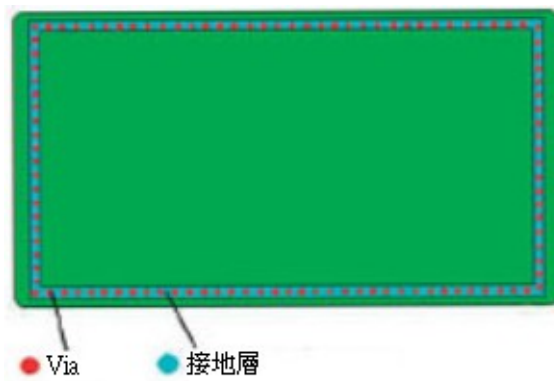


圖23 可以抑制基板側面的EMI噪訊強度的新結構

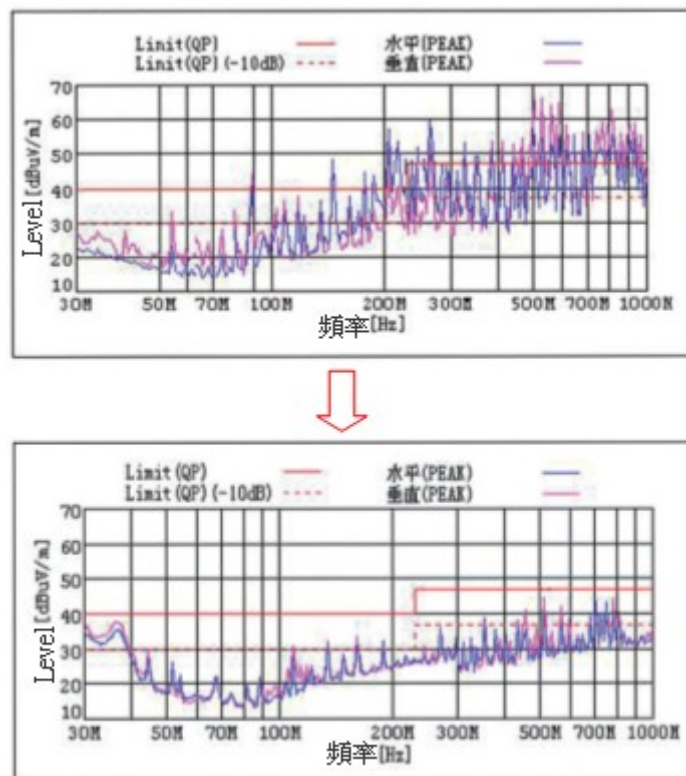


圖24 EMI噪訊強度變化

结语

综合以上介绍的 EMI 噪讯对策，分别如下所示：

- 设置 EMI 噪讯对策用电容
- 回避 Return 路径迂回的基板层结构设计
- 设置多点 Grand 接地
- 基板侧面包覆 Shield

实际上 PCB 得 EMI 噪讯对策会随着组件封装、导线、基板外形、层结构，与筐体限制出现极大差异，因此本文主要是探讨如何在 PCB Layout 阶段，充分应用 EMI 噪讯对策手法，根据一连串的对策中找出最符合制作成本，同时又可以满足规范要求的方法。

## PCB 分层堆叠在控制 EMI 辐射中的作用和设计技巧

解决 EMI 问题的办法很多，现代的 EMI 抑制方法包括：利用 EMI 抑制涂层、选用合适的 EMI 抑制零配件和 EMI 仿真设计等。本文从最基本的 PCB 布板出发，讨论 PCB 分层堆叠在控制 EMI 辐射中的作用和设计技巧。

### 电源汇流排

在 IC 的电源引脚附近合理地安置适当容量的电容，可使 IC 输出电压的跳变来得更快。然而，问题并非到此为止。由於电容呈有限频率响应的特性，这使得电容无法在全频带上生成干净地驱动 IC 输出所需要的谐波功率。除此之外，电源汇流排上形成的瞬态电压在去耦路径的电感两端会形成电压降，这些瞬态电压就是主要的共模 EMI 干扰源。我们应该怎麼解决这些问题？

就我们电路板上的 IC 而言，IC 周围的电源层可以看成是优良的高频电容器，它可以收集为干净输出提供高频能量的分立电容器所泄漏的那部份能量。此外，优良的电源层的电感要小，从而电感所合成的瞬态信号也小，进而降低共模 EMI。

当然，电源层到 IC 电源引脚的连线必须尽可能短，因为数位信号的上升沿越来越快，最好是直接连到 IC 电源引脚所在的焊盘上，这要另外讨论。

为了控制共模 EMI，电源层要有助於去耦和具有足够低的电感，这个电源层必须是一个设计相当好的电源层的配对。有人可能会问，好到什麼程度才算好？问题的答案取决於电源的分层、层间的材料以及工作频率(即 IC 上升时间的函数)。通常，电源分层的间距是 6mil，夹层是 FR4 材料，则每平方英寸电源层的等效电容约为 75pF。显然，层间距越小电容越大。

上升时间为 100 到 300ps 的器件并不多，但是按照目前 IC 的发展速度，上升时间在 100 到 300ps 范围的器件将占有很高的比例。对於 100 到 300ps 上升时间的电路，3mil 层间距对大多数应用将不再适用。那时，有必要采用层间距小於 1mil 的分层技术，并用介电常数很高的材料代替 FR4 介电材料。现在，陶瓷和加陶塑料可以满足 100 到 300ps 上升时间电路的设计要求。

尽管未来可能会采用新材料和新方法，但对於今天常见的 1 到 3ns 上升时间电路、3 到 6mil 层间距和 FR4 介电材料，通常足够处理高端谐波并使瞬态信号足够低，就是说，共模 EMI 可以降得很低。本文给出的 PCB 分层堆叠设计实例将假定层间距为 3 到 6mil。

## 电磁屏蔽

从信号走线来看，好的分层策略应该是把所有的信号走线放在一层或若干层，这些层紧挨著电源层或接地层。对於电源，好的分层策略应该是电源层与接地层相邻，且电源层与接地层的距离尽可能小，这就是我们所讲的“分层”策略。

## PCB 堆叠

什麼样的堆叠策略有助於屏蔽和抑制 EMI？以下分层堆叠方案假定电源电流在单一层上流动，单电压或多电压分布在同一层的不同部份。多电源层的情形稍後讨论。

### 4 层板

4 层板设计存在若干潜在问题。首先，传统的厚度为 62mil 的四层板，即使信号层在外层，电源和接地层在内层，电源层与接地层的间距仍然过大。

如果成本要求是第一位的，可以考虑以下两种传统 4 层板的替代方案。这两个方案都能改善 EMI 抑制的性能，但只适用於板上元件密度足够低和元件周围有足够面积(放置所要求的电源覆铜层)的场合。

第一种为首选方案，PCB 的外层均为地层，中间两层均为信号/电源层。信号层上的电源用宽线走线，这可使电源电流的路径阻抗低，且信号微带路径的阻抗也低。从 EMI 控制的角度看，这是现有的最佳 4 层 PCB 结构。第二种方案的外层走电源和地，中间两层走信号。该方案相对传统 4 层板来说，改进要小一些，层间阻抗和传统的 4 层板一样欠佳。

如果要控制走线阻抗，上述堆叠方案都要非常小心地将走线布置在电源和接地铺铜岛的下边。另外，电源或地层上的铺铜岛之间应尽可能地互连在一起，以确保 DC 和低频的连接性。

### 6 层板

如果 4 层板上的元件密度比较大，则最好采用 6 层板。但是，6 层板设计中某些叠层方案对电磁场的屏蔽作用不够好，对电源汇流排瞬态信号的降低作用甚微。下面讨论两个实例。

第一例将电源和地分别放在第 2 和第 5 层，由於电源覆铜阻抗高，对控制共模 EMI 辐射非常不利。不过，从信号的阻抗控制观点来看，这一方法却是非常正确的。

第二例将电源和地分别放在第 3 和第 4 层，这一设计解决了电源覆铜阻抗问题，由於第 1 层和第 6 层的电磁屏蔽性能差，差模 EMI 增加了。如果两个外层上的信号线数量最少，走线长度很短(短於信号最高谐波波长的 1/20)，则这种设计可以解决差模 EMI 问题。将外层上的无元件和无走线区域铺铜填充并将覆铜区接地(每 1/20 波长为间隔)，则对差模 EMI 的抑制特别好。如前所述，要将铺铜区与内部接地层多点相联。

通用高性能 6 层板设计一般将第 1 和第 6 层布为地层，第 3 和第 4 层走电源和地。由於在电源层和接地层之间是两层居中的双微带信号线层，因而 EMI 抑制能力是优异的。该设计的缺点在於走线层只有两层。前面介绍过，如果外层走线短且在无走线区域铺铜，则用传统的 6 层板也可以实现相同的堆叠。

另一种 6 层板布局为信号、地、信号、电源、地、信号，这可实现高级信号完整性设计所需要的环境。信号层与接地层相邻，电源层和接地层配对。显然，不足之处是层的堆叠不平衡。

这通常会给加工制造带来麻烦。解决问题的办法是将第 3 层所有的空白区域填铜，填铜後如果第 3 层的覆铜密度接近於电源层或接地层，这块板可以不严格地算作是结构平衡的电路板。填铜区必须接电源或接地。连接过孔之间的距离仍然是  $1/20$  波长，不见得处处都要连接，但理想情况下应该连接。

## 10 层板

由於多层板之间的绝缘隔离层非常薄，所以 10 或 12 层的电路板层与层之间的阻抗非常低，只要分层和堆叠不出问题，完全可望得到优异的信号完整性。要按 62mil 厚度加工制造 12 层板，困难比较多，能够加工 12 层板的制造商也不多。

由於信号层和回路层之间总是隔有绝缘层，在 10 层板设计中分配中间 6 层来走信号线的方案并非最佳。另外，让信号层与回路层相邻很重要，即板布局为信号、地、信号、信号、电源、地、信号、信号、地、信号。

这一设计为信号电流及其回路电流提供了良好的通路。恰当的布线策略是，第 1 层沿 X 方向走线，第 3 层沿 Y 方向走线，第 4 层沿 X 方向走线，以此类推。直观地看走线，第 1 层 1 和第 3 层是一对分层组合，第 4 层和第 7 层是一对分层组合，第 8 层和第 10 层是最後一对分层组合。当需要改变走线方向时，第 1 层上的信号线应藉由“过孔”到第 3 层以後再改变方向。实际上，也许并不总能这样做，但作为设计概念还是要尽量遵守。

同样，当信号的走线方向变化时，应该藉由过孔从第 8 层和第 10 层或从第 4 层到第 7 层。这样布线可确保信号的前向通路和回路之间的耦合最紧。例如，如果信号在第 1 层上走线，回路在第 2 层且只在第 2 层上走线，那麼第 1 层上的信号即使是藉由“过孔”转到了第 3 层上，其回路仍在第 2 层，从而保持低电感、大电容的特性以及良好的电磁屏蔽性能。

如果实际走线不是这样，怎麽办？比如第 1 层上的信号线经由过孔到第 10 层，这时回路信号只好从第 9 层寻找接地平面，回路电流要找到最近的接地过孔(如电阻或电容等元件的接地引脚)。如果碰巧附近存在这样的过孔，则真的走运。假如没有这样近的过孔可用，电感就会变大，电容要减小，EMI 一定会增加。

当信号线必须经过过孔离开现在的一对布线层到其他布线层时，应就近在过孔旁放置接地过孔，这样可以使回路信号顺利返回恰当的接地层。對於第 4 层和第 7 层分层组合，信号回路将从电源层或接地层(即第 5 层或第 6 层)返回，因为电源层和接地层之间的电容耦合良好，信号容易传输。

## 多电源层的设计

如果同一电压源的两个电源层需要输出大电流，则电路板应布成两组电源层和接地层。在这种情况下，每对电源层和接地层之间都放置了绝缘层。这样就得到我们期望的等分电流的两对阻抗相等的电源汇流排。如果电源层的堆叠造成阻抗不相等，则分流就不均匀，瞬态电压将大得多，并且 EMI 会急剧增加。

如果电路板上存在多个数值不同的电源电压，则相应地需要多个电源层，要牢记为不同的电源创建各自配对的电源层和接地层。在上述两种情况下，确定配对电源层和接地层在电路板的位置时，切记制造商对平衡结构的要求。

## 总结

鑒於大多数工程师设计的电路板是厚度 62mil、不带盲孔或埋孔的传统印制电路板，本文關於电路板分层和堆叠的讨论都局限於此。厚度差别太大的电路板，本文推荐的分层方案可能不理想。此外，带盲孔或埋孔的电路板的加工制程不同，本文的分层方法也不适用。

电路板设计中厚度、过孔制程和电路板的层数不是解决问题的关键，优良的分层堆叠是保证电源汇流排的旁路和去耦、使电源层或接地层上的瞬态电压最小并将信号和电源的电磁场屏蔽起来的关键。理想情况下，信号走线层与其回路接地层之间应该有一个绝缘隔离层，配对的层间距(或

一对以上)应该越小越好。根据这些基本概念和原则，才能设计出总能达到设计要求的电路板。现在，IC 的上升时间已经很短并将更短，本文讨论的技术对解决 EMI 屏蔽问题是必不可少的。

## 开关型调节器的电路板布局技术

当考虑怎样才能最好地为开关电源设计电路板时，最好首先考虑一下它的最终目的，即提供一个特定数值的稳定电压。有经验的设计人员会谨慎考虑电路的接地方法，从而获得稳定的电压。他们知道很难获得完美的接地方案 — 因为这不仅仅是接地问题，任何接地工作都会直接影响到电路的性能，设计人员还要特别注意各种稳压元件的位置。

### 接地

让没有经验的工程师简单地画三条短线表示接地可能是一个误区，这个符号会给初学者一种错觉，简单认为接地是一种理想情况。如果用一条较长的引线把电路的各种元器件连接到电源或电池的负端，您可能从直觉上意识到这条地线并非理想的接地。这条引线表明电流通过地层或地线的电阻、电感流回电源，在这个过程中会产生相应的压降。因此，接地回路不会稳定在一个理想的稳压值 — 即通常所说的 0V。

图 1 所示 boost 转换器说明了考虑接地的重要性，该调节器依靠控制器 IC 内部的基准电压和两个反馈电阻产生特定的输出电压。为了获得正确的反馈从而得到正确的输出电压，电压基准、电阻分压器以及输出电容必须处于同一电位。确切地说，控制器的模拟地引脚(电压基准的地)和电阻分压器的地电位必须与输出电容的地电位相等。输出电容接地端的电压至关重要，因为要求稳压器提供精确电压的负载通常紧靠着输出电容安装 — 这部分地是反馈电压的参考端。

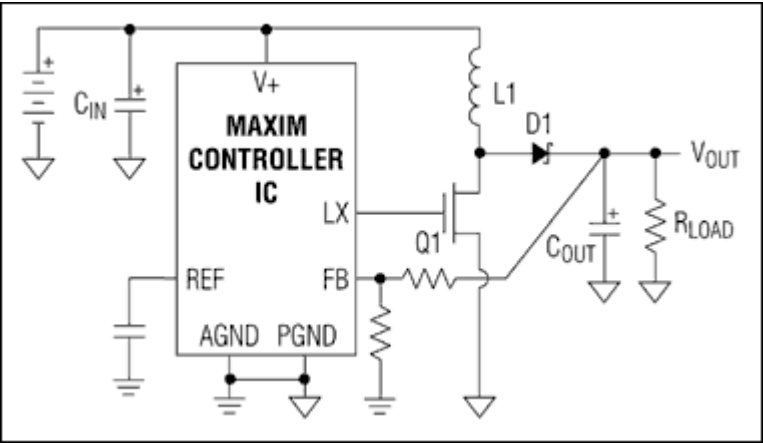


图 1. 升压型开关转换器的电路板布局设计原则同样适用于其它拓扑的开关型调节器

另一原因是控制器需要精确的电压反馈，为了实现无抖动的开关操作，控制器需要在输出电压出现任何交流干扰时能够产生一个准确的取样，而这个精确的取样是通过反馈网络得到的。

### 元件布局

除了接地方案，合理的布局稳压元件也很重要。例如，控制器内部的电压基准必须通过紧靠 REF 引脚安装的电容旁路；基准电压的噪声会直接影响输出电压。同样，该旁路电容的地端必须连接到低噪声的参考地(与控制器的模拟地以及电阻分压器的地端相连)，远离嘈杂的功率地。这个低噪声参考地和嘈杂的功率地之间的隔离至关重要。

既然嘈杂的功率地和低噪声参考地最终还是要连接到一起，为何还必须将二者隔离呢？为了防止较大的开关电流通过模拟小信号的地回路进入电池或电源，这样的隔离是必需的。一旦出现这种状况，敏感信号的地回路遭到干扰；较大的开关电流流经地回路的电阻、电感，使地回路的电平沿着路径发生变化。

了解嘈杂的功率电路有助于找寻将它与其余电路分离开的最佳方法。图 2 描述了调节器的功率电路，包括两条电流路径：当 MOSFET 导通时，电流流过输入回路；当 MOSFET 断开时，电流流过输出回路。将这两个环路的元件相互靠近布局，可以把大电流限制在调节器的功率电路部分(远离低噪声元件的地回路)。CIN、L1 和 Q1 必须相互靠近放置，CIN、L1、D1 和 COUT 也必须相互靠近。图 2 特别指明了这两个环路以及需要靠近安装的元件。

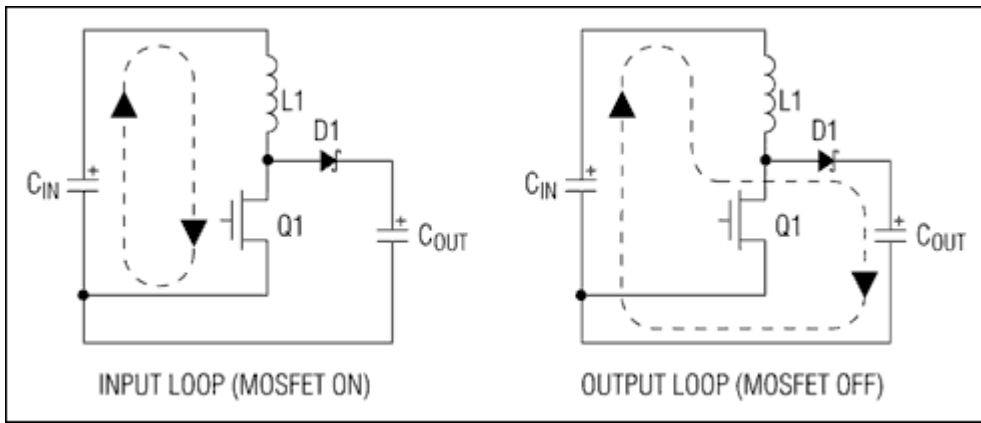


图 2. 在为图所示的两个电流环路的元件布板时，需要特别谨慎。使用短且宽的引线实现如此密集的布线，可以提高效率，减小振铃，并可避免干扰低噪电路。

实际的电路板布局需要一些折中考虑，特别是在为上述两个大电流环路布局时。如果需要决定将哪些需要就近安装的元件真正地实现就近安装，择须确定每个环路中的哪些元件有不连续的电流流过。就近安装元件可以最大限度地减少寄生电感，而这些具有不连续电流的元件位置对于减少寄生电感非常重要。

### 其它考虑事项

不管是采用电池还是电源为升压型开关调节器供电，电源阻抗都不为零。这意味着当调节器从电源汲取快速变化的电流时，电源的电压将发生变化。为了改善这种效应，电路设计人员在靠近上述两个功率环路的位置安装了输入旁路电容(有时使用两个电容：一个陶瓷电容与一个有极性电容并联)。这一举措并非为了保持功率电路的电源稳定——即使电源电压发生变化，功率电路也能很好工作。然而，将旁路电容靠近功率电路安装可以限制大电流注入功率电路，避免对低噪电路的干扰。

干扰是如何产生的呢？有三个途径：首先，如上所述，如果功率电路的接地返回电流流经调节器模拟电路的部分地回路或全部地回路，由于地回路的寄生电阻、电感，该电流将在这部分地通道上产生开关噪声。地回路的噪声会降低稳压输出精度，这个电流还可能干扰同一电路板的其它敏感电路。其次，与地回路类似，电池或电源正端的开关噪声还可能耦合至用同一电源供电的其它元件。包括控制芯片，使基准电压发生抖动。若输入旁路电容两端的电压不稳定，在控制器的电源引脚前加一级 R/C 滤波器有助于稳定其供电电压。最后，交流电流流经的环路面积越大，所产生的磁场也越强，产生干扰的几率也大大增加。将输入旁路电容紧靠功率电路安装可以缩小环路面积，从而降低产生干扰的可能性。

如果输出端的两个分压电阻布局不合理，噪声也会引发其它问题。将这两个电阻靠近控制器的 FB 引脚放置，可以保证得到一个对噪声相对不敏感的电压反馈控制环路。这种布局可以使电阻分压器中点至开关调节器的 FB 引脚的引线最短。这是非常必要的，因为电阻分压器中点和控制器 FB 引脚的内部比较器输入都为高阻抗，连接二者的引线易于耦合(主要通过容性耦合)开关调节器的噪声。当然，必要的话，可以考虑延长电阻分压器与输出端相连的引线，以及电阻分压器与输出电容地端相连的引线，开关型调节器的低输出阻抗可抑制这些引线上的耦合噪声。

### 将寄生电容和寄生电感减至最小

找出图 1 电路中电压发生快速变化的节点，也就找出了需要将寄生电容减至最小的位置，这是因为电容两端的电压不能跃变。在该电路中仅有一个这样的节点，即由功率电感、二极管和 MOSFET 连接形成的节点。开关导通时，该节点的电压接近地电位；开关关闭时，该节点电压攀升至比输出电压高出一个二极管压降的电平。须确保电路板的走线使该节点的寄生电容最小，若寄生电容减缓了该节点的电压瞬变，调节器的效率将受到一定损失。保持该节点较小的尺寸不但有助于减小寄生电容，还可降低 EMI 辐射。不能牺牲布线宽度来缩小该节点的尺寸，相反，应该采用短而宽的走线。

找出具有快速变化电流的分支，也就找到了需要将寄生电感减至最小的支路。电感电流不能发生跃变，当电感电流快速变化时，电感两端的电压将产生毛刺和振铃，从而导致潜在的 EMI 问题。而且，该振铃电压的幅度有可能非常高，以至于损坏电路元件。

图 3 显示了电路的三个支路电流波形，电流  $I_1$  不会产生问题，因为它以相对平缓的方式变化，另外，该支路已经具备了一个大电感，也就是  $L_1$ 。与 MOSFET 串联的寄生电感则会产生问题，因为电流  $I_3$  有突变。该串联电感包括  $I_3$  至  $C_{IN}$  地端返回路径的任何感抗： $Q_1$  引脚的寄生电感以及地

回路自身的电感。注意流经  $C_{IN}$  的电流并未跃变，而是和电感电流 ( $I_1$ ) 的交流部分相等 (电池提供其直流部分)。MOSFET 关闭时，环路的一部分同样有快速变化的电流流过。该电流  $I_2$  流过 D1 和  $C_{OUT}$  以及地回路的覆铜部分，因此，这些元件和地回路的寄生电感必须减至最小。

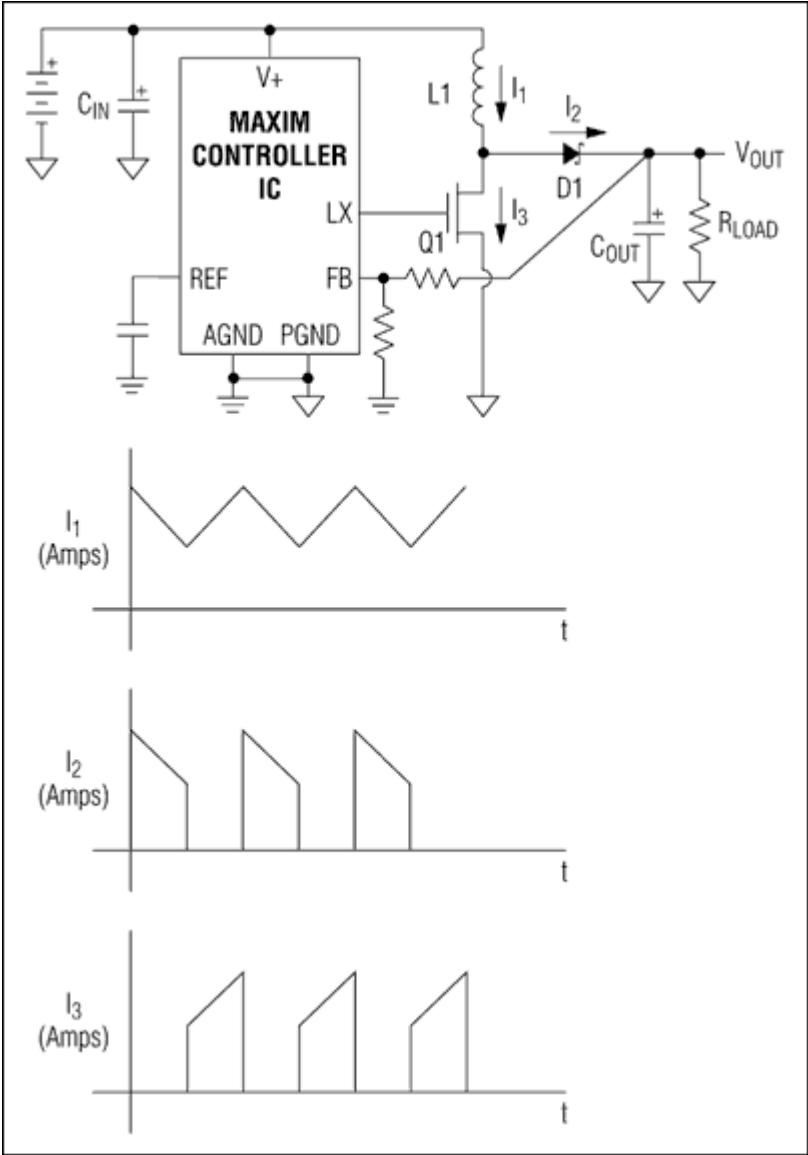


图 3. 开关调节器各个支路的电流波形，由此可以看出哪些部分需要将寄生电容减至最小。电流快速变化 (也就是  $I_2$  和  $I_3$ ) 的支路要求感抗最小。

当考虑负载通路上的感抗是否会造成问题时，应注意到输出电容具有较大容值，而且具有很低的 ESR，电容两端的电压保持相对稳定。这意味着流过负载的电流不会变化太大，因此其等效串联电感并不重要 — 除非负载本身动态变化。

### 创建切实可行的电路板布局

有很多种方法可以处理开关电源的接地，一种方法是为所有的接地电路提供一个单独的地层 — 这种方法可能不会运行在很好的状态下。采用这种方法时，电路的功率地电流可能流经电阻分压器、控制器特定引脚的旁路电容以及控制器的模拟地或是这三者的地回路，从而造成它们的地电位抖动。

也许最好的方法是创建两个单独的地层 — 一个用于功率电路，另一个用于调节器的低噪声模拟电路。参考图 4a，功率地包括输入和输出电容的地端以及 MOSFET 的源极，这些连线必须采用短而宽的引线，确保功率电路的地线最宽、最短，可以降低感抗、提高效率。

模拟地部分为控制器的模拟地引脚、电阻分压器的地端和控制器任何特定引脚的旁路电容 (输入旁路电容  $C_{IN}$  除外) 的地端。该模拟地不必是一个平面，可以使用较宽的长引线，因为其电流非常微弱并且相对稳定，引线电阻和电感不再是重要因素。

按照图 4a 所示连接控制器的 AGND 引脚和 PGND 引脚，在这些引脚之间连接两个地可以确保模拟地内没有开关电流，AGND、PGND 之间的连线可以相对较窄，几乎没有电流流过该路径。尽管理想情况下 AGND 可以直接连接到  $C_{OUT}$  的地端，多数控制器仍然要求两个地引脚 (AGND 和 PGND) 直接连接 (这是因为  $C_{OUT}$  的地和 PGND 之间总会存在一定的阻抗，若 AGND 和  $C_{OUT}$  的地直接相连，负载电流在该阻抗上产生的压降会达到足以让 AGND 和 PGND 之间的二极管导通电压，造成严重后果)。在 PGND 和  $C_{OUT}$  之间使用短而宽的引线，可以使反馈电阻和控制器内部基准共用相同的地电位，与调节器的输出端的参考地相同。这一点非常重要，因为输出电压是由这些元件设置控制的。

图 4 使用不同的模拟和功率地隔离较大的功率地电流与低噪声模拟地电流，从而保护低噪声模拟地电流。

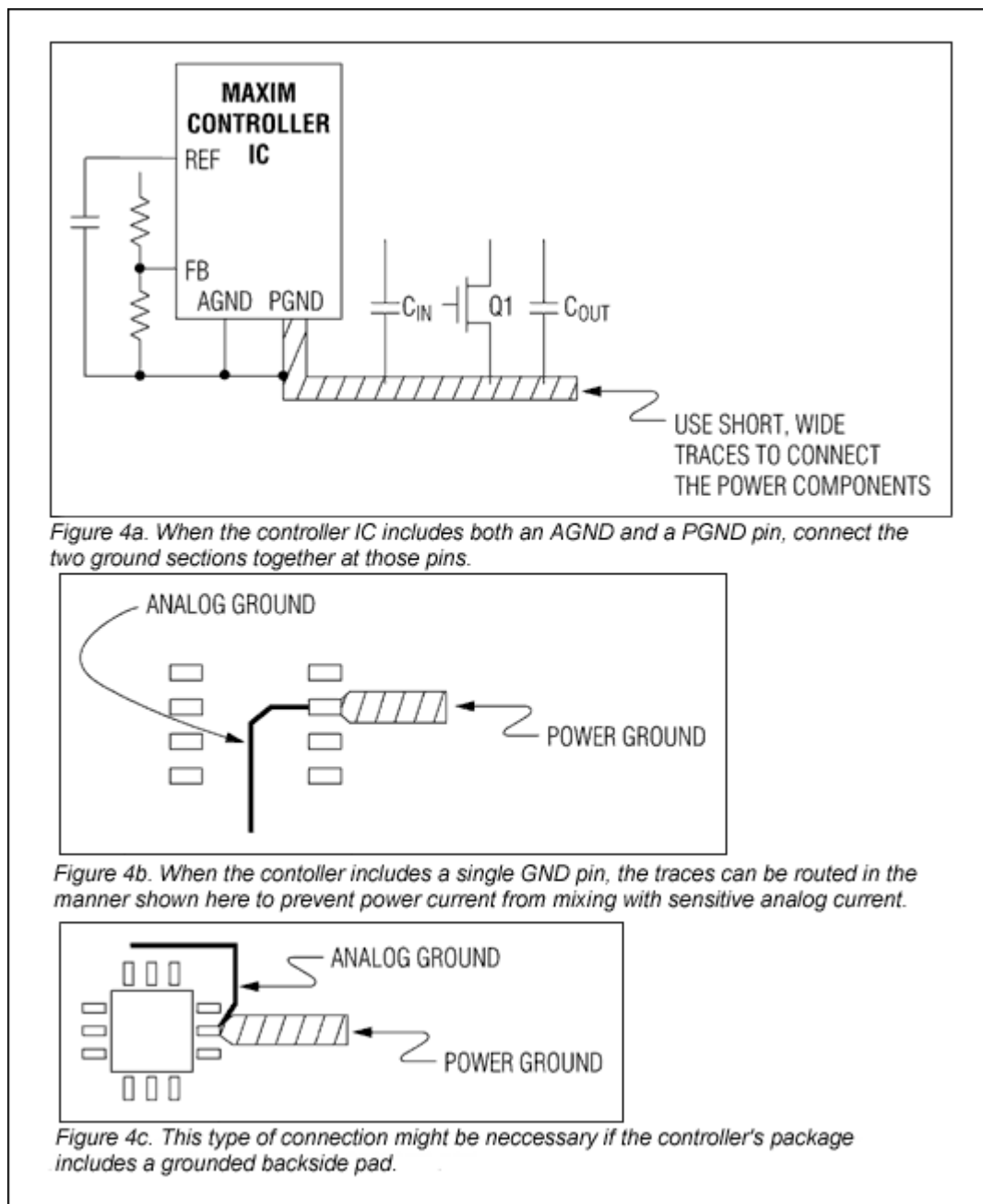


图 4. 采用隔离的模拟和功率地隔离较大的功率地电流与低噪声模拟地电流，从而保护低噪声模拟地电流。

有时控制器的某些旁路电容既不能连接至模拟地也不能连接至功率地，其中一个例子是使用 R/C 滤波器旁路升压开关调节器的  $V+$  引脚 (如上所述)。这种情况下，该电容接地引脚对于模拟地来说太嘈杂；同时，对于该电容来说功率地的噪声也太太。必须将这样的电容地直接返回至 AGND 和 PGND 引脚之间的连线 (若控制器仅提供一个接地引脚，直接连接至该引脚)。

最后，电路板的层数在 PCB 布局中也是一个关键因素。在多层板上，可以使用一个中间层作为屏蔽。屏蔽层允许在电路板的底层放置元件，从而降低干扰的机会。配合使用屏蔽层时，将功率元件的地穿越屏蔽层连接并非一个好的方法。相反，应该将它们连接在一个隔离的、受限制区域，可以清晰地分辨出这些电流的流向以及它们的影响。

确保功率元件的地位于顶层，这种连接与电路板的层数无关；这样处理可以将其电流限制在已知的路径内，不会干扰其它地回路。若无法实现这一点，可以通过使用其它电路板层的隔离覆铜区域和过孔进行连接。对于每个接地点，应使用多个过孔并联以降低电阻和电感。