

文章编号: 1007 - 4252(2004)04 - 0484 - 05

## 等效厚度评估 GaAs MMIC 的 $\text{Si}_3\text{N}_4$ 电容可靠性

黄云<sup>1</sup>, 钮利荣<sup>2</sup>, 林丽<sup>3</sup>

- (1. 电子元器件可靠性物理及其应用技术国家级重点实验室, 广州 510610;
2. 南京电子器件研究所, 南京 210016;
3. 华南理工大学应用物理系, 广州 510641)

**摘要:** 通过不同 GaAs MMIC 的 MIM  $\text{Si}_3\text{N}_4$  电容结构, 运用 TDDB 理论研究分析了斜坡电压下的 MIM  $\text{Si}_3\text{N}_4$  电容的导电特性和击穿特性, 确定了 GaAs MMIC 的 MIM  $\text{Si}_3\text{N}_4$  电容失效不是介质本征击穿导致失效, 而主要是由  $\text{Si}_3\text{N}_4$  介质的缺陷引起。基于缺陷导致介质电场击穿的原理, 提出了等效厚度模型评估和监测 GaAs MMIC 的  $\text{Si}_3\text{N}_4$  介质电容的质量和可靠性的新方法, 可以用于工艺生产线实现对  $\text{Si}_3\text{N}_4$  介质电容的质量和可靠性进行快速评估和监测。

**关键词:**  $\text{Si}_3\text{N}_4$  电容; 等效厚度; 评估; 可靠性

中图分类号: TN306      文献标识码: A

### Reliability evaluation of $\text{Si}_3\text{N}_4$ capacitor of GaAs MMIC by equivalent thickness method

HUANG Yun<sup>1</sup>, NIU Li-rong<sup>2</sup>, LIN Li<sup>3</sup>

- (1. National Key Lab of Reliability Physics of Electronic Product, Guangzhou 510610, China;
2. Nanjing Electronics Devices Institute, Nanjing 210016, China;
3. Department of Applied Physics, South China University of Technology, Guangzhou 510641, China)

**Abstract:** The conductive and breakdown properties of MIM  $\text{Si}_3\text{N}_4$  capacitors of GaAs MMIC were studied and analyzed by TDDB theory. The dielectric defect is a major factor that causes capacitor failure, instead of dielectric intrinsic breakdown. Based on the principle of defects causing the dielectric breakdown of the electric field, the equivalent thickness model was proposed to evaluate and monitor quality and reliability of  $\text{Si}_3\text{N}_4$  capacitor rapidly.

**Key words:**  $\text{Si}_3\text{N}_4$  capacity; equivalent thickness; evaluate; reliability

## 1 引言

随着通信系统的迅速发展, 以及武器系统的需求, 高性能和高可靠的 GaAs MMIC 获得了飞速发展, 使其成为微波半导体器件的一个主要发展方向, 其可靠性也得到广泛研究<sup>[1-5]</sup>。在 GaAs MMIC 中采

用了许多无源元件, 用于实现阻抗匹配、直流偏置、相移、滤波等功能, 其中最重要的是电容, 其质量与可靠性直接影响 GaAs MMIC 成品率和可靠性应用。如何评价 GaAs MMIC 的  $\text{Si}_3\text{N}_4$  介质电容的质量和可靠性已是 GaAs MMIC 可靠性研究的最重要问

收稿日期: 2004 - 02 - 13;      修订日期: 2004 - 06 - 07

作者简介: 黄云(1970 - ) 男, 高级工程师, 硕士, 现从事微电子和微波器件的可靠性研究工作 (Email: yunhuang@163.net).

© 1994-2008 China Academic Journal Electronic Publishing House. All rights reserved. <http://www.cnki.net>

题之一。

在硅 MOS 器件领域对电容介质的可靠性进行了深入的评价方法和技术研究, 形成了实用化的 TDDB (时间依赖介质击穿) 模型<sup>[6, 7]</sup>。J. Scarpulla 等根据 GaAs 材料和 Si<sub>3</sub>N<sub>4</sub> 介质膜的特性修正 TDDB 模型进行了 Si<sub>3</sub>N<sub>4</sub> 介质电容可靠性的评价方法研究<sup>[8-10]</sup>。电容介质的击穿机理有许多模型, 对于薄栅氧化层主要有感生空穴击穿模型、电子浮陷击穿模型、界面陷阱产生及感生共振-遂穿击穿模型、等效氧化层减薄模型<sup>[11]</sup>。对于 Si<sub>3</sub>N<sub>4</sub> 介质膜, 其主要的击穿本质与硅的薄栅氧化层相类似, 同样存在电子陷阱、空穴陷阱、电子涉动和等效介质层减薄等击穿模型<sup>[12]</sup>。本工作设计了不同 GaAs MMIC 的 MIM Si<sub>3</sub>N<sub>4</sub> 电容结构, 运用 TDDB 理论, 通过斜坡电压研究分析了 MIM Si<sub>3</sub>N<sub>4</sub> 电容的导电特性和击穿特性的基础上, 基于缺陷导致介质电场击穿的原理, 提出了等效厚度模型评估和监测 GaAs MMIC 的 Si<sub>3</sub>N<sub>4</sub> 介质电容的质量和可靠性的新方法。

## 2 GaAs MMIC 的 MIM Si<sub>3</sub>N<sub>4</sub> 介质电容

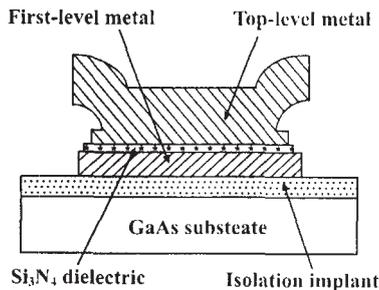


Fig. 1 Cross-section image of MIM capacitor

图 1 MIM 电容结构示意图

MMIC 中的电容可分为四类基本结构: 开路传输线、耦合线或叉指电容器、肖特基二极管和金属-绝缘介质-金属 (MIM) 电容器, 应用中最主要的是 MIM 电容器。MIM 电容器的典型结构见图 1 所示, 由于 MIM 电容的面积都相对较大, 其介质膜主要是等离子增强化学气相淀积 (PECVD) Si<sub>3</sub>N<sub>4</sub> 膜。PECVD 淀积 Si<sub>3</sub>N<sub>4</sub> 膜工艺决定了薄膜质量, 薄膜的缺陷将影响器件的稳定性和可靠性。因此 MIM 电容是决定 MMIC 芯片成品率的关键部件, 对于一个有 10 个 MIM 电容器的 MMIC 芯片, 若电容器的成品率为

95%, 则芯片的成品率只有 60%。影响电容器的质量与可靠性的因素主要是介质层针孔和金属平板上的金属尖刺, 另外由于介质层的缺陷, 在使用过程中因吸附电子等而导致电容器容量退化, 甚至击穿失效。

## 3 Si<sub>3</sub>N<sub>4</sub> 介质膜的 TDDB 击穿特性

Si<sub>3</sub>N<sub>4</sub> 电容会表现出与 SiO<sub>2</sub> 电容相似的 TDDB 特性。在 GaAs 工艺中使用的是 Si<sub>3</sub>N<sub>4</sub> 介质膜而不是硅工艺的 SiO<sub>2</sub> 介质膜, Si<sub>3</sub>N<sub>4</sub> 介质膜是通过 PECVD 技术在相对较低温度下 (90~350°C) 沉积的, 而 SiO<sub>2</sub> 介质膜一般是 700°C 下通过 CVD 方法沉积, 因此 Si<sub>3</sub>N<sub>4</sub> 介质膜的导电率比硅工艺的 SiO<sub>2</sub> 介质膜大得多。

MIM 电容介质的传导模型可由 Frenkel-Poole 传导机理表示为:

$$J_{FP} = \sigma_{FP} E \exp \left[ -\frac{\phi_t - \beta \sqrt{E}}{kT} \right] \quad (1)$$

$$\beta = \sqrt{q/\pi \epsilon_0 k} \quad (2)$$

式中,  $\phi_t$  是陷阱能级 (0.85 eV),  $\sigma_{FP}$  是 Frenkel-Poole 传导系数 ( $2.4 \times 10^{-3} \text{ S/cm}$ ),  $\beta$  是 Frenkel-Poole 发射系数 ( $2.771 \times 10^{-4} \text{ cm}^{1/2} \text{ V}^{1/2}$ ),  $\epsilon_0$  是空气介电常数,  $k$  是 Si<sub>3</sub>N<sub>4</sub> 介质膜的介电常数。

与硅工艺介质电容器相比, GaAs 工艺的 MIM 电容的 Si<sub>3</sub>N<sub>4</sub> 介质膜相对较厚, 因此击穿时的电压相对较高, MIM 电容的主要失效机理不是介质的磨损击穿, 而是缺陷处的介质击穿, 因此 Si<sub>3</sub>N<sub>4</sub> 介质膜的缺陷决定了 MIM 电容的可靠性。

若在  $t$  时间段内在均匀的介质内通恒定电流密度为  $J$  的电流, 通过单位面积介质的总电荷为  $Jt$ 。电荷按照欧姆或 Frenkel-Poole 传导机理在陷阱间流动。经过足够时间, 介质在时间为  $t_{BD}$  时击穿, 击穿电荷定义为  $Q_{BD} = Jt_{BD}$ 。假设当电荷通过介质时, 有些电荷陷入陷阱或形成新的深陷阱。电荷陷入陷阱时, 介质中的电场强度就会受到影响。当电场达到最大击穿电场  $E_{max}$ , 介质就会发生破坏性击穿。因此 Si<sub>3</sub>N<sub>4</sub> 的寿命由  $t_{BD}$  决定, 与临界电荷的计算有很大的关系。触发击穿时贮存在内部的单元面积的临界电荷可表示为:

$$Q_{crit} = \eta Q_{BD} = \eta Jt_{BD} \quad (3)$$

式中  $\eta$  是一个无量纲的电荷陷入系数, 定义为陷入

缺陷中的电荷数与通过介质的总电荷数的比值。

### 4 实验样品与实验结果

为了研究 Si<sub>3</sub>N<sub>4</sub> 薄膜的 TDDB 性能,制作了三种不同的 MIM 结构实验样品,其 Si<sub>3</sub>N<sub>4</sub> 介质层的厚度为 200nm。结构一:上电极为叉指形状,面积为 32475μm<sup>2</sup>,周长为 7120μm;结构二:上电极为方块形状,面积为 66000μm<sup>2</sup>,周长为 1550μm,和结构一相比,其电容的尺寸和介质的面积相同,但上电极为方块形状,使有效电容面积增大一倍多而电容的周长减小了近 4/5;结构三:上电极为方块结构,面积为 10000μm<sup>2</sup>,周长是 400μm 和结构二相比,面积和周长都较小。结构一的有效周长是结构二的数倍,这是为了验证电容边缘效应对电容可靠性的影响。结构三和结构二相比,面积和周长都较小,主要用于评价电容的面积对其可靠性的影响。

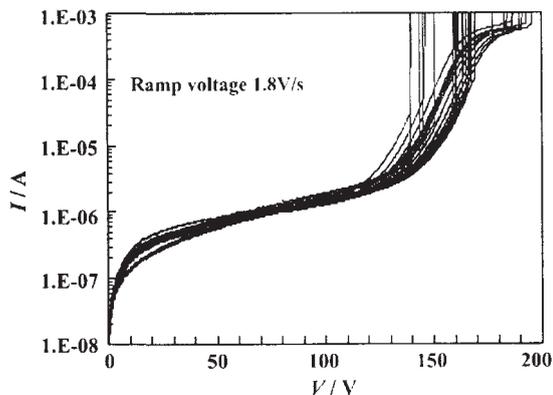


Fig. 2 TDDB I - V characteristic of Frame 1  
图2 结构一的 TDDB 电流电压击穿特性

设计了常温下斜坡电压斜率为 1.8V/s 的 TDDB 实验对三种结构的各 27 只 MIM 电容样品 Si<sub>3</sub>N<sub>4</sub> 介质进行了可靠性评价,试验样品是未划片的 φ75mm 晶片,试验仪器为 MP-2000 半自动程控微探针系统、HP4155 半导体参数分析仪和 HP4280A 高频 C-V 仪。实验样品的电流电压特性在低电压时表现为欧姆传导特性,在较高电压时表现为 Frenkel-Poole 传导特性,当外加电压达到击穿电压时电流急剧上升,表现为不可恢复的灾难性失效,典型的电流电压特性如图 2 所示。因结构不同其样品的击穿电压差别较大,结构一的样品的击穿电压均在 200V 以内,结构二、结构三分别有 26% 和 43% 的样品的

击穿电压达到或超过 200V,由于仪器电压范围的限制,击穿电压超过 200V 的样品就无法测得其准确的击穿电压点,在进行数据处理时,将击穿电压超过 200V 的都作为 200V 处理,其击穿失效累计分布如图 3 所示,图 4 是三种试验结构在斜坡电压斜率为 1.8V/s 的条件下击穿电压分布情况和失效率与对应 200nm 介质厚度时的电场强度的分布。图 5 是结构一和结构二的电容和击穿电压随测试顺序即样品号的分布情况,电容表现出特定的分布规律,而相应电容的击穿电压却没有类似的规律,结构三的电容 (0.5 ~ 2.8pF) 和击穿电压也存在类似的分布。

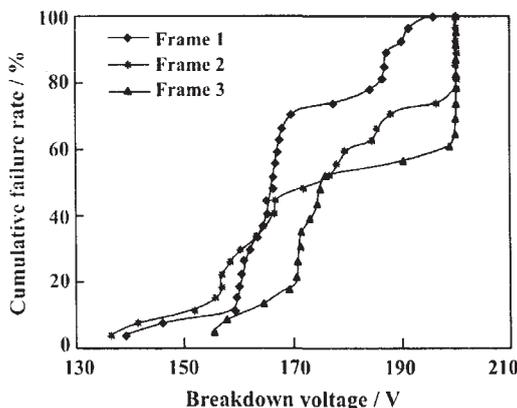


Fig. 3 Cumulative failure rate distribution  
图3 击穿失效累计分布

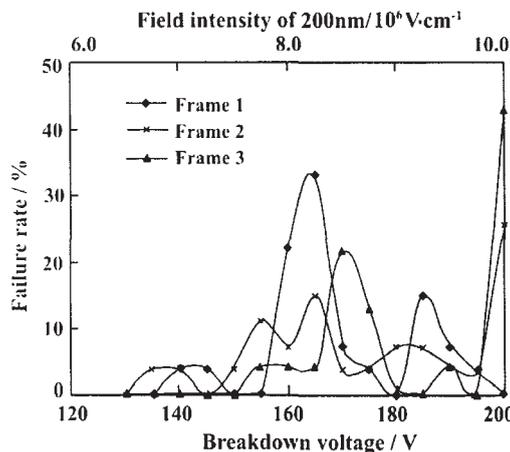


Fig. 4 Failure rate distribution versus voltage/field of MIM capacitance  
图4 MIM 电容随电压/电场的失效率分布

### 5 分析与讨论

试验数据表明,结构一在 200V 以内全部击穿,

而结构二的较多样品击穿电压超过 200V, 说明结构一的面积虽比结构二小, 但因其周长大多得多, 导致其耐电压击穿的能力差。结构三的击穿电压比结构二的击穿电压高, 说明 MIM 电容面积越小, 其耐电压击穿能力越强。从图 4 对应 200nm 介质厚度时的电场强度的失效率分布看, 所有结构的样品均在介电强度小于  $1 \times 10^7 \text{V/cm}$  的条件下失效, 失效主要分布在  $8.3 \times 10^6 \text{V/cm}$  的电场强度左右, 而由结构二和结构三有相当一部分样品的击穿电压大于 200V 的情况可知相应工艺下的  $\text{Si}_3\text{N}_4$  介质的介电强度应大于  $1 \times 10^7 \text{V/cm}$ , 这说明试验样品的 TDDB 试验失效不是介质本征击穿导致失效, 而主要是由  $\text{Si}_3\text{N}_4$  介质的缺陷引起。图 5 的试验数据表明电容值的大小与其位置有明确的关联, 测试顺序是从晶片中心到边缘后再由边缘到中心, 电容值的相对变化量最大达到 15%。由于缺陷的面积一般都很小, 其所引起的介质减薄所导致的电容增大对总的电容值的贡献可以忽略不计, 而  $\text{Si}_3\text{N}_4$  介质生长工艺中因其温度分布的不均匀性导致介质膜厚度的变化是电容值变化的决定因素,  $\text{Si}_3\text{N}_4$  介质层厚度的有规律变化并没有引起介质击穿电压有相应规律的变化, 说明介质的击穿电压并不仅由电容的平均介质厚度决定, 而主要是由有缺陷的最薄弱处决定。

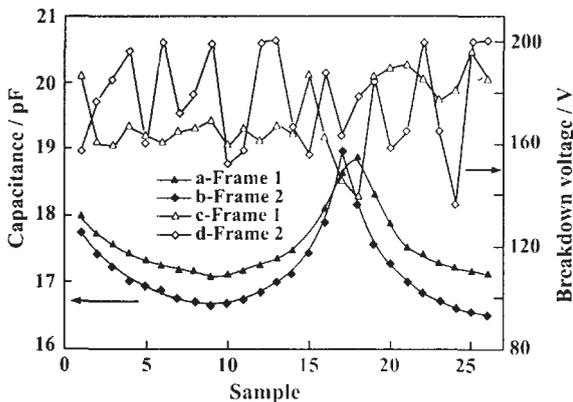


Fig. 5 Capacitance and breakdown voltage distribution versus position on wafer

图 5 电容和击穿电压随晶片位置的分布

在工艺过程中 MIM 电容的  $\text{Si}_3\text{N}_4$  介质层不可避免地存在一些缺陷, 这些缺陷可能是介质层晶格缺陷、金属电极板上的金属尖刺、表面粗糙等, 其实际效果均是使介质层减薄。Hiroyuki Tanaka 等曾研究了沉积温度导致薄膜表面粗糙使  $\text{Si}_3\text{N}_4$  薄膜厚度

减小对 TDDB 性能的影响, 在  $680^\circ\text{C}$ 、 $700^\circ\text{C}$  和  $780^\circ\text{C}$  的条件下, 9.0nm 厚的  $\text{Si}_3\text{N}_4$  薄膜的厚薄不均匀差异最大分别达到 0.8nm、1.8nm 和 2.4nm<sup>[12]</sup>。因此介质减薄在局部区域内将引起各种后果, 如局部较高的电场、较高的缺陷产生速率、较高的电流密度。假定正常的介质膜厚度为  $d_0$ , 则缺陷处的介质膜有效厚度  $d_{\text{eff}}$  为 0 到  $d_0$  之间, 缺陷在 MIM 电容空间上是随机出现的, 击穿发生在  $d_{\text{eff}}$  最小的 MIM 电容处, 介质中缺陷处的电荷积累引起内部高电场的建立导致最终的电场击穿。

为了评估缺陷对介质的电容质量和可靠性影响, J. Scarpulla 等应用介质膜有效厚度模型来分析和估算缺陷对介质电容寿命的影响<sup>[8, 11]</sup>, 该模型是基于统计学的基础上, 由试验获得触发击穿时贮存的单元面积的临界电荷和准确的时间, 在实际工艺生产线中较难应用。为了能快速和在线评估  $\text{Si}_3\text{N}_4$  介质电容的质量和可靠性, 基于前面的试验数据和分析, 在合理假定缺陷导致介质击穿为电场击穿, 介质击穿的物理本质是电场达到介质的最大击穿强度而导致介质击穿。在工艺一定的条件下, 介质击穿的介电强度是一个常数, 则对于任意的 GaAs MMIC 的  $\text{Si}_3\text{N}_4$  介质电容, 其介质的等效厚度为:

$$d_{\text{EQ}} = \frac{V_{\text{BD}}}{E_{\text{DS}}} \quad (4)$$

试验中  $V_{\text{BD}}$  是介质击穿电压,  $E_{\text{DS}}$  是介质的介电强度。利用上式, 对应  $1 \times 10^7 \text{V/cm}$  的介电强度, 图 4 中的介质击穿电压分布可转换为图 6 中所示的介质等效厚度分布, 介质膜的等效厚度主要分布在 165nm 附近, 相对于 200nm 的设计厚度减小了 17.5%, 有效厚度的相对减小量见图 6 所示。图 4 中结构二和结构三的试验数据表明, 相应工艺下的  $\text{Si}_3\text{N}_4$  介质的介电强度高于一本工艺手册中提供的  $1 \times 10^7 \text{V/cm}$ , 因此实际的介质膜等效厚度将比图 6 所示的数据更小, 故通过等效厚度可以清楚地表明实际的介质质量与设计间存在较大的差距。

在 GaAs MMIC 工业生产中, 对 MIM 电容介质的耐电压有定量要求, 但满足耐电压要求的介质并没有反映出其质量与可靠性的本质, 因为工艺变化引起介质膜的厚度、介电强度、表面粗糙度和其它工艺缺陷的变化均可引起介质膜的耐电压的变化, 常规的耐电压参数不能反映出缺陷引起介质击穿电压下降的物理本质, 而工艺生产中用介质的折射率和

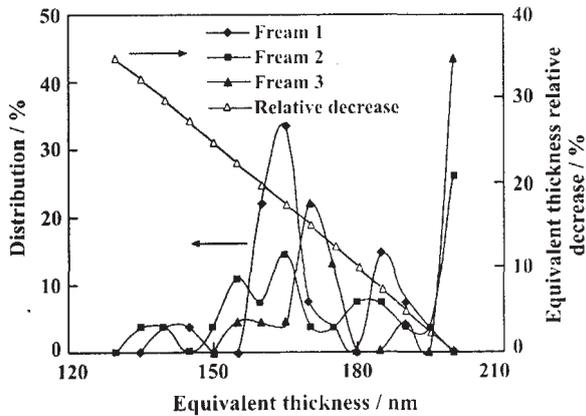


Fig. 6 Equivalent thickness distribution of  $\text{Si}_3\text{N}_4$  dielectric  
图 6  $\text{Si}_3\text{N}_4$  介质等效厚度分布

介质的物理膜厚对介质进行监测，也不能反映出工艺缺陷是决定介质质量与可靠性的最主要因素。而用有效厚度模型和等效厚度模型均可反映出介质膜的质量与可靠性的物理本质，即缺陷决定介质膜的质量与可靠性。等效厚度模型与有效厚度模型的区别主要在：有效厚度模型是在数理统计分析基础上对介质膜进行评价和寿命预计，等效厚度模型是基于工程分析基础上对介质膜进行评估和工艺控制监测。在工艺生产线上，在工艺参数一定的条件下， $\text{Si}_3\text{N}_4$  介质的介电强度可以视为定值，等效厚度模型可以直观地反映出工艺缺陷导致介质膜减薄的现象，从而用于工艺生产线上对  $\text{Si}_3\text{N}_4$  介质电容的可靠性进行快速评估和监测。

## 6 结束语

通过不同 GaAs MMIC 的 MIM  $\text{Si}_3\text{N}_4$  电容结构，运用 TDDb 理论研究分析了斜坡电压下的 MIM  $\text{Si}_3\text{N}_4$  电容的导电特性和击穿特性，确定了 GaAs MMIC 的 MIM  $\text{Si}_3\text{N}_4$  电容失效不是介质本征击穿导致失效，而主要是由  $\text{Si}_3\text{N}_4$  介质的缺陷引起。基于缺陷导致介质电场击穿的原理，提出了等效厚度模型评估和监测 GaAs MMIC 的  $\text{Si}_3\text{N}_4$  介质电容的质量和可靠性的新方法，可以用于工艺生产线实现对  $\text{Si}_3\text{N}_4$  介质电容的质量和可靠性进行快速评估和监测。

参考文献：

- [1] Kayali S, Ponchak G, Shaw R. GaAs MMIC Reliability Assurance Guideline for Space Applications [R]. JPL Publication, 1996.
- [2] Aris Christou. Reliability of Gallium Arsenide MMICs [M]. New York: John Wiley & Sons, 1991.
- [3] Keith A, Jason A. Accelerated Life Testing and Failure Analysis of Single Stage MMIC Amplifier [J]. **IEEE Trans Electron Devices**, 1994, **41** (8): 1435 - 1443.
- [4] Christianson K A, Roussos J A, *et al.* Reliability Study of a GaAs MMIC Amplifier[A]. **32th International Reliability Physics Symposium** [C]. 1994. 327 - 331.
- [5] Huang Yun. Reliability Research on GaAs Microwave Monolithic Integrated Circuit (MMIC) [J]. **Microelectronic Technology**, 2003, **31** (1): 49 - 52 (in Chinese). (黄云. GaAs 微波单片集成电路 (MMIC) 的可靠性研究 [J]. 微电子技术 2003, 31 (1): 49 - 52.)
- [6] Shiono N, Isumi M. A Lifetime Prediction Model Using Series Model and Acceleration Factors for TDDb Failure of Thin Gate Oxides [A]. **31th International Reliability Physics Symposium** [C]. 1993. 1 - 6.
- [7] En Yun - fei, Kong Xue - dong, Xu Zhen, *et al.* TDDb Test and Parameter Extraction of Gate Oxides [J]. **Electronic Product Reliability and Environmental Testing**, 2002, (1): 1 - 4 (in Chinese). (恩云飞, 孔学东, 徐征, 等. 栅氧化层 TDDb 可靠性评价实验及模型参数提取 [J]. 电子产品可靠性与环境实验 2002, (1): 1 - 4.)
- [8] Scarpulla J, David C Eng. A TDDb Model of  $\text{Si}_3\text{N}_4$  - based Capacitors in GaAs MMICs [A]. **37th International Reliability Physics Symposium** [C]. 1999. 128 - 137.
- [9] Yeats B. Assessing the Reliability of Silicon Nitride Capacitors in a GaAs IC Process [J]. **IEEE Trans on Elect Dev**, 1998, **45** (6): 939 - 946.
- [10] Cramer H, Oliver J, Dix G. **MMIC Capacitor Dielectric Reliability** [C]. GaAs Reliability Workshop, 1998: 46 - 51.
- [11] Lee Jack C, Chen In - Chin, Hu Chenming. Modeling and Characterization of Gate Oxide Reliability [J]. **IEEE Trans on Elect Dev**, 1998, **5** (10): 2268 - 2277.
- [12] Hiroyuki Tanaka, Hidetsugu Uchida. The Effect of Surface Roughness of  $\text{Si}_3\text{N}_4$  Films on TDDb Characteristics of ONO Films [A]. **30th International Reliability Physics Symposium** [C]. 1992. 31 - 37.