

固体钽电容的使用可靠性

张世莉, 张建宏, 唐万军

(中国电子科技集团公司 第二十四研究所, 重庆 400060)

摘 要: 介绍了固体钽电容在使用中的几种典型失效模式;研究了混合模块电路中如何从设计上进行恰当的可靠性设计,以及如何在工艺加工中进行有效的过程控制和使用中的注意事项。

关键词: 钽电容;失效分析;可靠性;混合集成电路

中图分类号: TN431.1

文献标识码: A

文章编号: 1004-3365(2008)03-0389-03

Reliability of Solid Tantalum Capacitors in Application

ZHANG Shili, ZHANG Jianhong, TANG Wanjun

(Sichuan Institute of Solid State Circuits, China Electronics Technology Group Corp., Chongqing 400060, P. R. China)

Abstract: Typical failure modes of solid-tantalum capacitors were described. Techniques to enhance the reliability of solid tantalum capacitors in designing and processing hybrid IC's were discussed. Suggestions and advices on application of solid tantalum capacitors to hybrid IC's were proposed.

Key words: Tantalum capacitor; Failure analysis; Reliability; Hybrid IC

EEACC: 1290

1 引 言

随着各种电子系统可靠性等级的不断提升,对电子元器件质量等级也提出了更高的要求。在进行系统可靠性设计时,除了要选择质量等级较高的元器件以提升系统的固有可靠性外,电子元器件的合理使用也是影响系统可靠性的重要因素。据可靠性分析中心的统计数据,有 60% 的元器件失效是与使用和工艺加工过程密切相关的。因此,如何为元器件选择最优的使用条件,尽可能地提高系统的可靠性尤为重要。根据电子元器件在使用中出现的典型失效模式,探讨电子元器件使用可靠性,对提高电子产品的可靠性设计水平具有非常积极的现实意义。

本文分析了固体钽电容在使用中的几种典型失效模式,讨论了混合模块电路中如何从设计上进行恰当的可靠性设计,在工艺加工中进行有效的过程控制,以及使用中的注意事项。通过对钽电容使用可靠性的研究,使设计、工艺人员对钽电容有较为深刻的认识,从

而更好地使用钽电容。

2 固体钽电容典型失效模式

2.1 固体钽电容失效特点

固体钽电容即钽电解电容,属于电解电容的一种,因其具有阻抗低、漏电流极小、耐高温、高频特性好、贮存性良好、寿命长等特点而广泛应用于电源滤波、旁路、耦合与退耦、反馈振荡等电路中。虽然固体钽电容具有独特的“自愈”特性,表现出比铝电解电容更好的稳定性和环境适应性,但在实际使用中仍属于高失效器件。根据长期的统计数据,固体钽电容失效有以下特点^[1]: 1) 容值较大的钽电容比容值较小的钽电容更容易失效; 2) 机械应力集中区域的钽电容较容易失效; 3) 电路加电瞬间,钽电容失效较多; 4) 电路老化过程中较容易出现失效; 5) 热相对集中区域的钽电容更容易失效; 6) 电源质量差的电路中,钽电容更容易出现失效。

对上述几种特点进一步分析可以发现,钽电容的失效主要与机械应力、温度应力、电应力相关。

收稿日期: 2008-01-15; 定稿日期: 2008-03-25

2.2 钽电容典型失效模式与机理

固体钽电容是将钽粉压制成型,在高温炉中烧结成阳极体,其电介质是将阳极体放入酸中赋能,形成多孔性非晶型 Ta_2O_5 介质膜,其工作电解质为硝酸锰溶液经高温分解形成的 MnO_2 ,通过石墨层作为引出连接用。

钽电容的失效与其他类型的电容一样,也有电参数变化失效、短路失效和开路失效三种。由于钽电容的电性能稳定,且有独特的“自愈”特性,钽电容鲜有参数变化引起的失效。另外,根据钽电容的失效统计数据,钽电容发生开路性失效的情况也极少。因此,钽电容失效主要表现为短路性失效。

钽电容短路性失效模式的机理是:固体钽电容的介质 Ta_2O_5 由于原材料不纯或工艺中的原因而存在杂质、裂纹、孔洞等疵点或缺陷,钽块在经过高温烧结时已将大部分疵点或缺陷烧毁或蒸发掉,但仍有少量存在。在赋能、老炼等过程中,这些疵点在电压、温度的作用下转化为场致晶化的发源地—晶核;在长期作用下,促使介质膜以较快的速度发发生物理、化学变化,产生应力的积累,到一定时候便引起介质局部的过热击穿。如果介质氧化膜中的缺陷部位较大且集中,一旦在热应力和电应力作用下出现瞬时击穿,则很大的短路电流将使电容迅速过热而失去热平衡,钽电容固有的“自愈”特性已无法修补氧化膜,从而导致钽电容迅速击穿失效^[2]。

2.3 失效原因

根据前面的分析,钽电容在使用过程中出现击穿失效的原因可分为外部应力和内部缺陷两大方面。外部应力主要有电应力(正向电压、反向电压)和热应力;内因主要有钽体表层缺陷和介质缺陷,其故障树如图 1 所示。

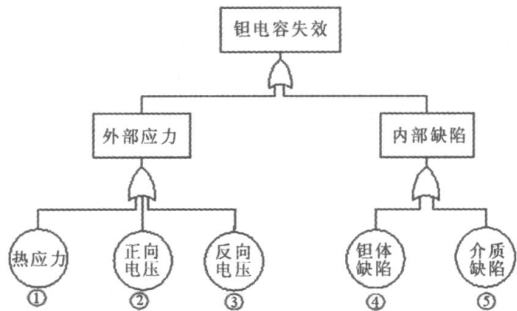


图 1 固体钽电容短路失效故障树

Fig. 1 Short circuit failures of solid tantalum capacitors

钽电容的内部缺陷来源于制造过程或储存、运

输过程中的机械应力,均可通过筛选的方式有效剔除;钽电容因外部应力失效主要来源于使用过程,如设计不当、工艺加工条件不符合要求、使用时电气条件或温度条件异常变化等。因此,要提高钽电容的使用可靠性,应从设计、加工和使用三方面进行考虑。

3 提高钽电容使用可靠性的措施

3.1 设计方面

在钽电容的使用线路中,设计人员往往只考虑直流工作电压和温度的降额,并未考虑交流峰值电压对电容可靠性的影响。

GB/Z 35-93 元器件降额准则规定^[3]:电解电容降额的主要参数是工作电压和环境温度;使用中,电解电容的直流工作电压和交流峰值电压之和不得超过降额后的直流工作电压;对于有极性的电容(如钽电容),交流峰值电压应小于其直流电压峰值。另外,钽电容在设计线路中应有不小于 3 的等效串联阻抗,以防止钽电容因漏电流随温度和电压的增大而出现雪崩失效现象。

电解电容降额准则列于表 1。

表 1 电解电容降额准则
Table 1 Derating rules for electrolyte capacitor

降额参数		降额等级		
钽电解电容	直流工作电压	0.50	0.60	0.70
	环境温度	TAM-20 (TAM 为最高额定环境温度)		

钽电容设计使用中,应严格按照表 1 进行降额设计;同时,要考虑线路中交流峰值电压对电容可靠性的影响,比如:DC/DC 转换器、AC/DC 转换器、滤波电路等。

3.2 工艺方面

固体钽电容是用钽粉压制而成,以石墨层作为引出连接。因此,相对于其他贴片电容,钽电容更易损坏。无论是钽电容本身的加工过程,还是后续使用加工过程,都非常重要。

在后续工艺过程中应从机械应力和热应力方面进行控制:尽量避免让线路板遇到过强或过急的弯曲;电容应该避免设计在线路板弯曲时受机械应力高的位置;贴片电容的两焊点应该设计成与受机械应力的方向平行,而不要成直角;使用厂家推荐的烧焊温度曲线;钽电容超声清洗时间一般不要超过 5

min; 注意烙铁焊接的时间, 且烙铁尖不要碰到电容器的本体, 尽量减少后续工艺加工带来的缺陷, 避免钽电容的早期失效。

3.3 使用注意事项

钽电容的失效率视其使用条件(环境温度、施加电压、电路电阻、使用电路等)而有所不同。因此, 设计电路时应注意:

电解电容由于有正负极性, 因此, 使用时不能颠倒联接。一般来说, 设计电容器时, 以 85 °C 下连续施加额定电压 1000 h 的失效率为基础, 在实际电路中, 往往存在防止电压或电流峰值的冲击及纹波电流或其他意外冲击的问题。所以, 实际使用中, 降额是必要的。建议一般降额至 65 %UR(额定电压)以下; 有些说明书甚至建议使用在 50 % 以下。另外, 钽电容一般不允许施加反电压, 绝对不允许用万用表不分极性地对钽电容进行测试^[4]。

在低阻抗回路中(如 DC/DC 电源输出滤波系统中), 如果使用钽电容, 使用电压一般设计在钽电容额定电压的 1/3 以下。另外, 为防止使用中有短路、断路现象, 建议采用软启动电路进行保护, 减小上电时的浪涌电流。

4 结束语

钽电容的使用可靠性不仅与钽电容的固有可靠性有关, 而且与钽电容的使用和工艺加工过程有很大的关系。本文通过对钽电容的特性、失效模式和原因的分析, 从电路设计、工艺设计及加工、使用注意事项等方面, 提出了提高钽电容使用可靠性的具体措施。

参考文献:

- [1] 刘家欣, 肖大维, 王宾如. 片状钽电容器失效分析[J]. 电子元件与材料, 2004, 23(3): 79-81.
- [2] 贺玉平, 尚建平, 王承文. 固体钽电容短路失效分析与措施[J]. 航天工艺, 1998, (3): 33-35.
- [3] GB/Z35-93. 中华人民共和国军用标准元器件降额准则[S]. 1993: 15-16.
- [3] 张声飞. 钽电解电容器使用中的注意事项[J]. 电子元件与材料, 1995, 14(4): 17-19.

作者简介: 张世莉(1974 -), 女, 1996 年毕业于电子科技大学, 获学士学位, 主要从事电子元器件失效分析与质量管理。

(上接第 388 页)

用性、可重用性、可扩展性和可配置性, 实现了 X 微处理器的仿真, 提高了硬件仿真的效率, 发现并报告了原设计中存在的错误。

参考文献:

- [1] HUTTON M., YUAN R. A methodology for FPGA to structured ASIC synthesis and verification, design [C] // Proc Automation and Test in Europe. Munich, Germany. 2006. 2: 1-6.
- [2] KANG D-S, HWANG S-Y. A low cost and interactive rapid prototyping platform for digital system design education [C] // IEEE Int Conf Microelec Syst Educ. San Diego, CA, USA. 2007: 95-96.
- [3] 胡建国, 位招勤, 张旭, 等. 面向 CPU 芯片的验证技术研究[J]. 微电子学, 2007, 37(1): 16-19.
- [4] GEREZ S H. Algorithms for VLSI design automation [M]. John Wiley & Sons, Ltd. 1998.
- [5] HIDALGO J I, BARAGLIA R. A parallel compact genetic algorithm for multi-FPGA partitioning [C] // Proc Parallel and Distributed Processing. New York, USA. 2001: 113-120.
- [6] NIEMANN R, MARWEDEL P. Hardware-software

partitioning using integer programming [C] // Proc Europ Des and Test Conf. Geneva, Switzerland. 1996: 473-479.

- [7] KALAVADE A. System-level co-design of mixed hardware-software systems [D]. PhD Dissertation, University of California, Berkeley, CA, USA. 1995.
- [8] TOGAWA N, SATO M. A performance-oriented circuit partitioning algorithm with logic-block replication for multi-FPGA systems [C] // IEEE Asia Pacific Conf Circ and Syst. Anaheim, USA. 1996: 294-297.
- [9] ZHOU R-Z, TONG J-R, TANG P-S, FPART: a multi-way FPGA partitioning procedure based on the improved FM algorithm [C] // Proc ASP-DAC. Yokohama, Japan. 1998: 513-518.
- [10] FANG W-J, WU C-H. A hierarchical functional structuring and partitioning approach for multiple-FPGA implementations [J]. IEEE Trans Comp Aid Des Integr Circ and Syst, 1997, 16(10): 1188-1195.

作者简介: 姚丽娜(1965 -), 女, 硕士, 副教授, 主要研究方向为高性能微处理器, 计算机应用等。